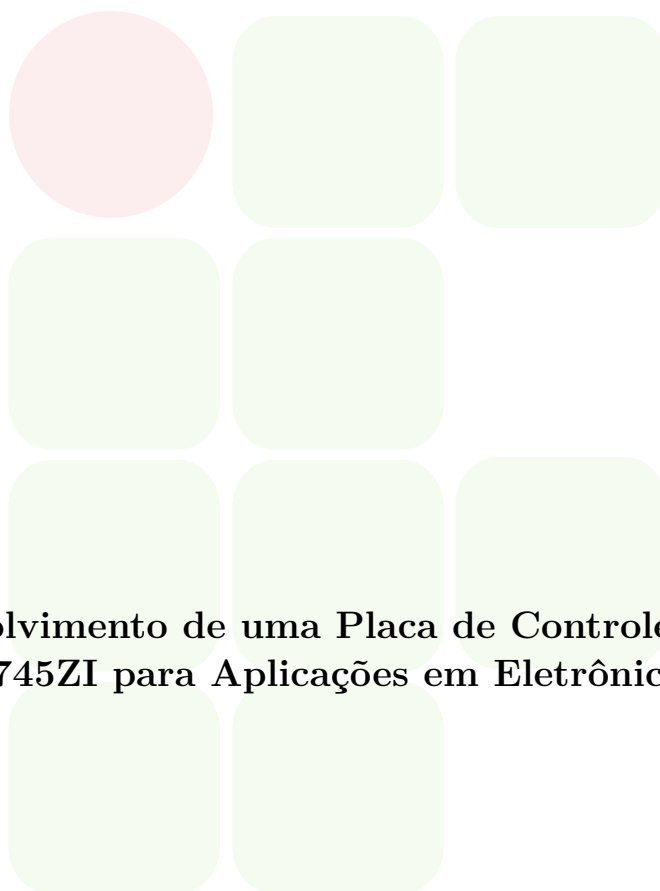


INSTITUTO FEDERAL DA PARAÍBA
COORDENAÇÃO DO CURSO SUPERIOR DE BACHARELADO EM
ENGENHARIA ELÉTRICA

MYKAELLA FERNANDA CHAVES CHIANCA



**Desenvolvimento de uma Placa de Controle Baseada no
STM32H745ZI para Aplicações em Eletrônica de Potência.**

JOÃO PESSOA - PB

2026

MYKAELLA FERNANDA CHAVES CHIANCA

**Desenvolvimento de uma Placa de Controle Baseada no
STM32H745ZI para Aplicações em Eletrônica de Potência.**

Trabalho de conclusão de curso submetido à Coordenação do Curso Superior de Bacharelado em Engenharia Elétrica do Instituto Federal da Paraíba, como parte dos requisitos para a obtenção do grau de Engenheira Eletricista.

Orientador: Prof. Dr. Edgard Luiz Lopes Fabricio

JOÃO PESSOA - PB

2026

Dados Internacionais de Catalogação na Publicação – CIP
Biblioteca Nilo Peçanha – IFPB, *campus* João Pessoa

C532d Chianca, Mykaella Fernanda Chaves.
Desenvolvimento de uma placa de controle baseada no
STM32H745ZI para aplicações em eletrônica de potência /
Mykaella Fernanda Chaves Chianca. – 2026.
87 f. : il.

TCC (Graduação em Engenharia Elétrica) – Instituto Federal
da Paraíba – IFPB / Coordenação de Engenharia Elétrica.
Orientador: Prof. Dr. Edgard Luiz Lopes Fabricio.

1. Eletrônica de potência. 2. Placa de circuito impresso. 3.
STM32H745ZI. 4. Projeto de hardware. I. Título.

CDU 621.3.049.77

MYKAELLA FERNANDA CHAVES CHIANCA

**DESENVOLVIMENTO DE UMA PLACA DE CONTROLE BASEADA NO STM32H745ZI PARA
APLICAÇÕES EM ELETRÔNICA DE POTÊNCIA**

TRABALHO DE CONCLUSÃO DE CURSO submetido à
Coordenação do Curso Superior de Bacharelado em
Engenharia Elétrica, do Instituto Federal da Paraíba (IFPB),
em cumprimento aos requisitos institucionais para a obtenção
do Título de **ENGENHEIRA ELETRICISTA**.

Aprovado em 06 de agosto de 2026.

Banca Examinadora

Prof. Dr. Edgard Luiz Lopes Fabrício

Instituto Federal da Paraíba (IFPB)
Orientador

Prof. Dr. Álvaro de Medeiros Maciel

Instituto Federal da Paraíba (IFPB)
Examinador

Prof. Dr. Cícero Alisson dos Santos

Instituto Federal da Paraíba (IFPB)
Examinador

Documento assinado eletronicamente por:

- **Edgard Luiz Lopes Fabricio**, PROFESSOR ENS BASICO TECN TECNOLOGICO, em 07/08/2026 11:10:01.
- **Cicero Alisson dos Santos**, PROFESSOR ENS BASICO TECN TECNOLOGICO, em 07/08/2026 14:24:11.
- **Alvaro de Medeiros Maciel**, PROFESSOR ENS BASICO TECN TECNOLOGICO, em 07/08/2026 14:37:41.

Este documento foi emitido pelo SUAP em 07/08/2026. Para comprovar sua autenticidade, faça a leitura do QRCode ao lado ou acesse <https://suap.ifpb.edu.br/autenticar-documento/> e forneça os dados abaixo:

Código 918563

Verificador: a7b0369c66

Código de Autenticação:



AGRADECIMENTOS

A Deus, por me sustentar e me conduzir ao longo de toda esta caminhada.

Aos meus pais e aos meus irmãos, alicerce de tudo o que construí, por não medirem esforços para que eu chegasse até aqui.

Ao meu esposo, pelo companheirismo diário, pela paciência nos períodos mais difíceis e por acreditar em mim quando eu mesma duvidei.

Aos meus amigos, que compartilharam comigo os desafios e aprendizados dessa trajetória, em especial a João Paulo, Lucas Medeiros e Vinícius Simão, pelo companheirismo, pelas trocas de conhecimento e pelo apoio ao longo deste período.

À equipe do LACA, pelo acolhimento e pelo ambiente colaborativo em que este trabalho foi desenvolvido. Em especial a Matheus, integrante da equipe de *Hardware*, pela disponibilidade em compartilhar seus conhecimentos, pelas orientações técnicas e pelo auxílio prestado durante o desenvolvimento deste trabalho.

Ao meu orientador, Prof. Dr. Edgard Luiz Lopes Fabricio, pela confiança depositada neste trabalho e pela orientação atenta ao longo de seu desenvolvimento. Aos professores Cícero e Álvaro, pelos ensinamentos que levo comigo desta formação.

RESUMO

Este trabalho apresenta o desenvolvimento do projeto de uma placa de controle baseada no microcontrolador STM32H745ZI, destinada a uma bancada experimental de conversores de potência. A placa foi concebida como plataforma de propósito geral, não vinculada a uma topologia específica de conversor, e contempla dezesseis saídas PWM para o acionamento dos *drivers* das chaves semicondutoras, dezesseis entradas analógicas para a recepção dos sinais de módulos externos de sensoramento, interfaces de comunicação Ethernet e RS485, e uma cadeia de alimentação protegida derivada de uma única entrada de +24 V. O desenvolvimento foi conduzido no Altium Designer e compreendeu desde a definição da arquitetura do sistema até o projeto do *layout* em seis camadas e a geração dos arquivos de fabricação, os quais foram submetidos ao fabricante e aceitos sem necessidade de correções.

Palavras-chave: eletrônica de potência; placa de circuito impresso; STM32H745ZI; projeto de *hardware*.

ABSTRACT

This work presents the design of a control board based on the STM32H745ZI microcontroller, intended for an experimental test bench of power converters. The board was conceived as a general-purpose platform, not bound to a specific converter topology, and comprises sixteen PWM outputs for driving the power switch gate drivers, sixteen analog inputs for receiving signals from external sensing modules, Ethernet and RS485 communication interfaces, and a protected power supply chain derived from a single +24 V input. The development was carried out in Altium Designer and spanned from the definition of the system architecture to the generation of the manufacturing files, including the six-layer board layout, which were submitted to the manufacturer and accepted without the need for corrections.

Keywords: power electronics; printed circuit board; STM32H745ZI; hardware design.

LISTA DE FIGURAS

Figura 1 – Placa de desenvolvimento Nucleo-H745ZI-Q.	19
Figura 2 – Sinal PWM com indicação da largura de pulso e período.	22
Figura 3 – Fluxo de desenvolvimento adotado no projeto.	26
Figura 4 – Diagrama de blocos da placa de controle.	28
Figura 5 – Folha de topo (Main.SchDoc) com a interligação entre os blocos.	30
Figura 6 – Circuito de proteção da entrada de +24 V.	31
Figura 7 – Simulação do regulador de +24 V para +15 V na ferramenta PowerCAD.	36
Figura 8 – Circuito do regulador de +24 V para +15 V.	36
Figura 9 – Circuito do regulador de +24 V para +5 V.	38
Figura 10 – Circuito de regulação de tensão de +5 V para +3,3 V.	40
Figura 11 – Circuitos de proteção dos barramentos internos.	41
Figura 12 – Configurações de alimentação do núcleo empregando os reguladores internos: (a) LDO; (b) SMPS direto; (c) SMPS + LDO.	43
Figura 13 – Configurações de alimentação do microcontrolador.	44
Figura 14 – Capacitores de desacoplamento da alimentação.	44
Figura 15 – Circuito de alimentação analógica e da tensão de referência do conversor analógico-digital.	45
Figura 16 – Circuitos de <i>reset</i> e de configuração de inicialização.	46
Figura 17 – Circuitos dos osciladores: (a) alta frequência (HSE); (b) baixa frequên- cia (LSE).	47
Figura 18 – Símbolo do microcontrolador e agrupamento dos sinais no <i>Signal Harness</i>	49
Figura 19 – Conectores dos módulos de sensoriamento de tensão e corrente.	50
Figura 20 – Conectores de gravação SWD.	50
Figura 21 – Circuitos de condicionamento dos sinais PWM.	52
Figura 22 – Filtros de modo comum dos pares diferenciais PWM.	52
Figura 23 – Conectores de saída dos sinais PWM.	53
Figura 24 – Esquemático da interface de comunicação Ethernet.	56
Figura 25 – Esquemático da interface de comunicação RS485.	58
Figura 26 – Configuração dos pinos do microcontrolador no STM32CubeMX.	60
Figura 27 – <i>Layout</i> da placa de controle com a identificação dos blocos funcionais.	61
Figura 28 – Resultado do cálculo de impedância para os pares diferenciais de 100 Ω na camada L6.	63
Figura 29 – Camada superior (L1) — plano de terra.	67
Figura 30 – Camada L2 — plano de alimentação.	68
Figura 31 – Camada L3 — plano de terra.	69
Figura 32 – Camada L4 — roteamento de sinais.	70
Figura 33 – Camada L5 — plano de terra.	71

Figura 34 – Camada inferior (L6) — roteamento de sinais e posicionamento dos componentes.	72
Figura 35 – Visualização tridimensional da placa de controle.	73
Figura 36 – Conjunto formado pela placa de controle e pelos módulos de sensoria- mento de tensão e de corrente.	74
Figura 37 – Visualização dos arquivos de fabricação na plataforma da JLCPCB. . .	74
Figura 38 – Visualização tridimensional das placas	76

LISTA DE TABELAS

Tabela 1 – Dimensionamento do regulador de +24 V para +15 V: valores calculados e adotados.	35
Tabela 2 – Consumo dos periféricos alimentados pelo barramento de +3,3 V. . . .	39
Tabela 3 – Consumo dos periféricos alimentados diretamente pelo barramento de +5 V.	40
Tabela 4 – Distribuição das entradas analógicas entre os conversores.	59
Tabela 5 – Função das camadas da placa de controle.	62
Tabela 6 – Construção física do empilhamento JLC06161H-3313.	63
Tabela 7 – Composição do custo de fabricação e montagem.	75
Tabela 8 – Comparativo entre a solução existente e a placa desenvolvida	77

SUMÁRIO

1	INTRODUÇÃO	14
1.1	CONTEXTUALIZAÇÃO E JUSTIFICATIVA	14
1.2	OBJETIVOS	15
1.2.1	Objetivo geral	15
1.2.2	Objetivos Específicos	15
1.3	ESTRUTURA DO TRABALHO	16
2	FUNDAMENTAÇÃO TEÓRICA	17
2.1	MICROCONTROLADORES STM32	17
2.2	PLACA DE DESENVOLVIMENTO NUCLEO-H745ZI-Q	18
2.3	COMUNICAÇÃO INDUSTRIAL	19
2.3.1	Ethernet	19
2.3.2	RS485	20
2.4	MEDIÇÃO DE TENSÃO E CORRENTE	20
2.5	CONVERSORES CC-CC BUCK	21
2.6	MODULAÇÃO POR LARGURA DE PULSO	22
2.7	PROJETO DE PLACAS DE CIRCUITO IMPRESSO	22
2.7.1	Esquemático	23
2.7.2	Projeto do Layout	23
2.7.3	PCB Multicamada	24
2.7.4	Regras de Design e Norma IPC-2221	24
2.8	FERRAMENTAS DE DESENVOLVIMENTO	25
2.8.1	Altium Designer	25
2.8.2	STM32CubeMX	25
2.8.3	Saturn PCB Toolkit	25
3	METODOLOGIA	26
3.1	DEFINIÇÃO DA ARQUITETURA DO SISTEMA	26
3.2	SELEÇÃO DE COMPONENTES E ADIÇÃO NA BIBLIOTECA	29
3.3	DESENVOLVIMENTO DOS ESQUEMÁTICOS	29
3.3.1	Alimentação (Supply.SchDoc)	30
3.3.1.1	Proteção da entrada de +24 V	30

3.3.1.1.1	Ajuste do bloqueio por subtensão (UVLO)	31
3.3.1.1.2	Ajuste do limite de corrente (ILIM)	32
3.3.1.2	Reguladores CC-CC de +24 V	33
3.3.1.2.1	Regulador de +24 V para +15 V	33
3.3.1.2.2	Regulador de +24 V para +5 V	36
3.3.1.3	Proteção dos barramentos e regulação de +3,3 V	38
3.3.2	Microcontrolador (STM32H745.SchDoc)	41
3.3.2.1	Configuração do modo de alimentação	42
3.3.2.2	Desacoplamento	44
3.3.2.3	Referência analógica	45
3.3.2.4	Reset e inicialização	45
3.3.2.5	Osciladores	46
3.3.2.6	Distribuição dos pinos entre os periféricos	47
3.3.3	Conectores (Connectors.SchDoc)	49
3.3.3.1	Conectores dos módulos de sensoriamento	49
3.3.3.2	Conectores de gravação	50
3.3.4	Geração dos Sinais PWM (PWMs.SchDoc)	50
3.3.5	Interface Ethernet (Ethernet.SchDoc)	54
3.3.5.1	Transceptor PHY	54
3.3.5.2	Isolação e conexão física	55
3.3.6	Interface RS485 (RS485.SchDoc)	56
3.3.6.1	Transceptor isolado	56
3.3.6.2	Controle automático de direção	57
3.3.6.3	Alimentação isolada	57
3.3.6.4	Terminação e proteção do barramento	58
3.4	CONFIGURAÇÃO DOS PINOS NO STM32CUBEMX	58
3.4.1	Sinais PWM	59
3.4.2	Aquisição dos sinais analógicos	59
3.4.3	Interfaces de comunicação e gravação	60
3.5	DESENVOLVIMENTO DO LAYOUT	60
3.5.1	<i>Stack-up</i> da placa	62
3.5.2	Regras de projeto e roteamento	64
3.5.3	Verificação do projeto	64

3.6	GERAÇÃO DOS ARQUIVOS DE FABRICAÇÃO	64
4	RESULTADOS	66
4.1	LAYOUT CONCLUÍDO	66
4.2	VISUALIZAÇÃO TRIDIMENSIONAL	72
4.3	INTEGRAÇÃO COM OS MÓDULOS DE SENSORIAMENTO . . .	73
4.4	VALIDAÇÃO DOS ARQUIVOS DE FABRICAÇÃO	74
4.5	COMPARATIVO COM A SOLUÇÃO EXISTENTE	76
5	CONCLUSÃO	78
	REFERÊNCIAS	79
	APÊNDICES	83
	APÊNDICE A – LISTA DE MATERIAIS	83
	APÊNDICE B – LAYOUT DA PLACA	87
	APÊNDICE C – ESQUEMÁTICOS COMPLETOS	88

1 INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO E JUSTIFICATIVA

A eletrônica de potência está presente em uma ampla variedade de sistemas elétricos modernos, incluindo fontes de alimentação chaveadas, acionamentos de motores, inversores para sistemas fotovoltaicos e carregadores de veículos elétricos. O funcionamento eficiente desses sistemas depende diretamente da capacidade de processar sinais em tempo real e gerar referências de chaveamento com elevada precisão, funções atribuídas ao *hardware* de controle digital (Rashid, 2014).

No âmbito acadêmico, o presente trabalho integra uma bancada experimental destinada ao estudo de conversores eletrônicos de potência, em desenvolvimento no Laboratório de Acionamentos, Controle e Automação (LACA) do Instituto Federal da Paraíba, em conjunto com outros trabalhos de conclusão de curso. Nesse contexto, a placa de controle proposta atuará como a unidade central da bancada, sendo responsável pela aquisição dos sinais provenientes dos módulos de sensoramento de tensão e corrente e pela geração dos sinais de *Pulse Width Modulation* (PWM), utilizados no acionamento dos *drivers* das chaves semicondutoras do conversor.

Essa função é hoje desempenhada por uma placa construída em torno da placa de desenvolvimento NUCLEO-F429ZI, na qual o microcontrolador permanece em um módulo separado, acoplado à placa base por meio de conectores. O STM32F429ZI que a equipa dispõe de um único núcleo Cortex-M4 operando a 180 MHz, de modo que as rotinas de controle e as demais tarefas do sistema disputam o mesmo processador (STMicroelectronics, 2023). A alimentação é realizada por duas entradas independentes, de +15 V e +5 V, obtidas de fontes externas, e não estão incorporados os estágios de regulação nem os circuitos de proteção necessários à operação a partir de um único barramento de +24 V, disponível na bancada. A placa também não contempla interfaces de comunicação industrial, o que impede a troca de dados com outros equipamentos do laboratório.

A utilização de placas de desenvolvimento genéricas na prototipagem de sistemas de controle é prática comum em ambientes de pesquisa, sendo encontrada inclusive em trabalhos que implementam o controle em malha fechada de conversores comutados a partir de placas da família Nucleo (Bottaro *et al.*, 2022). Essas plataformas são concebidas para a avaliação do microcontrolador em aplicações diversas, de modo que funções particulares a cada aplicação, como a alimentação a partir de uma única entrada de +24 V, os circuitos de proteção associados, a transmissão dos sinais de comando em padrão diferencial e as interfaces de comunicação isoladas, devem ser providas por circuitos externos. Uma placa dedicada, por sua vez, reúne em um único circuito impresso os elementos exigidos pela aplicação, dispensando as interligações entre módulos, reduzindo as dimensões do conjunto e permitindo um *layout* mais adequado às necessidades do projeto.

O STM32H745ZI, adotado neste trabalho, apresenta arquitetura *dual-core* composta por um núcleo Cortex-M7 a 480 MHz e um núcleo Cortex-M4 a 240 MHz, o que possibilita atribuir as rotinas de controle a um núcleo e as tarefas de comunicação e supervisão ao outro (STMicroelectronics, 2020b). O dispositivo reúne ainda múltiplos periféricos integrados e suporte às interfaces Ethernet e RS485, características adequadas a aplicações que exigem controle em tempo real com múltiplos sinais de entrada e saída (STMicroelectronics, 2020b).

O desenvolvimento completo de uma placa de circuito impresso (PCI)¹, desde a análise e seleção de componentes, estudo da placa Nucleo-H745ZI-Q como referência, passando pela elaboração do esquemático, configuração dos pinos, roteamento multicamada e geração dos arquivos de fabricação, representa uma etapa fundamental para a consolidação dos conhecimentos envolvidos no desenvolvimento de sistemas eletrônicos embarcados. Todo o processo de projeto foi realizado no Altium Designer, *software* profissional amplamente utilizado na indústria para o desenvolvimento de esquemáticos e *layouts* de PCBs (Altium, 2024). Para garantir a qualidade e confiabilidade do projeto, foram adotadas as diretrizes da norma IPC-2221, que estabelece requisitos de design para placas de circuito impresso, incluindo transmissão em padrão diferencial, largura de trilhas, espaçamentos e isolamento elétrico (IPC, 2012).

1.2 OBJETIVOS

1.2.1 Objetivo geral

Desenvolver uma placa de controle baseada no microcontrolador STM32H745ZI, contemplando o projeto do esquemático, *layout* multicamada e geração dos arquivos de fabricação da PCB, para aplicação em bancada de eletrônica de potência.

1.2.2 Objetivos Específicos

- Estudar o esquemático de referência da placa Nucleo-H745ZI-Q da STMicroelectronics como base para o desenvolvimento do projeto;
- Selecionar os componentes do projeto e adicioná-los à biblioteca do Altium Designer;
- Elaborar o esquemático da placa de controle, contemplando os conectores para os circuitos de sensoramento, os circuitos de comunicação industrial (RS485 e Ethernet) e as saídas de geração de sinais PWM;
- Definir e mapear os pinos do STM32H745ZI no STM32CubeMX conforme os periféricos necessários ao projeto;

¹ Do inglês *Printed Circuit Board* (PCB).

- Projetar o *layout* da PCB em seis camadas seguindo as regras de fabricação da JLCPCB, utilizando o Saturn PCB Toolkit como ferramenta auxiliar de cálculo, em conformidade com as diretrizes da norma IPC-2221B;
- Realizar a verificação do projeto por meio da análise de regras de design (DRC²), garantindo a conformidade com as regras de fabricação;
- Gerar os arquivos de fabricação para submissão à JLCPCB.

1.3 ESTRUTURA DO TRABALHO

O presente trabalho está organizado da seguinte forma: o Capítulo 1 apresenta a contextualização, a justificativa, o objetivo geral e os objetivos específicos do trabalho. O Capítulo 2 expõe a fundamentação teórica acerca dos principais conceitos envolvidos no desenvolvimento do projeto. O Capítulo 3 descreve a metodologia adotada no desenvolvimento da placa de controle, detalhando cada etapa do processo de projeto. O Capítulo 4 apresenta os resultados obtidos, incluindo o *layout* finalizado, a verificação do projeto e os arquivos de fabricação gerados. Por fim, o Capítulo 5 traz as conclusões do trabalho e sugestões para trabalhos futuros.

² *Design Rule Check*

2 FUNDAMENTAÇÃO TEÓRICA

Este capítulo apresenta os conceitos teóricos que fundamentam o desenvolvimento do projeto. São abordados os principais tópicos relacionados ao microcontrolador STM32H745ZI, bem como as interfaces de comunicação empregadas na aplicação. Em seguida, são discutidos os princípios relacionados à medição de tensão e corrente, aos conversores CC-CC, à geração de sinais PWM e aos aspectos envolvidos no projeto de placas de circuito impresso, incluindo as principais normas e recomendações aplicáveis.

2.1 MICROCONTROLADORES STM32

A família STM32 é uma linha de microcontroladores de 32 bits desenvolvida pela STMicroelectronics e baseada na arquitetura ARM Cortex-M. Essa arquitetura foi projetada para aplicações embarcadas e sistemas de controle em tempo real, caracterizando-se pelo baixo consumo de energia e reduzida latência de interrupções (Arm Limited, 2023). Dentre as subfamílias disponíveis, a série STM32H7 destaca-se pela elevada capacidade de processamento e pela integração de recursos avançados, como suporte à comunicação Ethernet, múltiplos conversores analógico-digitais de alta resolução, além de uma ampla variedade de temporizadores e interfaces de comunicação. Essas características tornam essa série adequada para aplicações que demandam processamento intensivo e controle em tempo real (STMicroelectronics, 2020b).

O microcontrolador STM32H745ZI, empregado neste trabalho, possui uma arquitetura *dual-core* heterogênea, composta por um núcleo Cortex-M7 operando a até 480 MHz e um núcleo Cortex-M4 operando a até 240 MHz (STMicroelectronics, 2022). Essa configuração permite distribuir as tarefas entre os dois núcleos, de modo que tarefas de maior demanda computacional sejam executadas pelo Cortex-M7, enquanto atividades de controle em tempo real e comunicação possam ser atribuídas ao Cortex-M4. Assim, é possível executar múltiplas funções de maneira simultânea e independente, sem comprometer o desempenho global do sistema (STMicroelectronics, 2022).

Em relação aos periféricos integrados, o STM32H745ZI dispõe de três conversores analógico-digitais com resolução de até 16 bits, adequados para a aquisição de sinais de tensão e corrente provenientes de circuitos de condicionamento e sensores externos. O dispositivo também apresenta uma ampla variedade de temporizadores, incluindo um temporizador de alta resolução (HRTIM), dois temporizadores de controle avançado, dez temporizadores de propósito geral, dois temporizadores básicos e cinco temporizadores de baixo consumo (LPTIM). Esses periféricos oferecem recursos como geração de sinais PWM e captura e comparação de sinais, com operação em diferentes modos de contagem, possibilitando a implementação de estratégias de controle digital e aplicações em tempo real com elevada flexibilidade (STMicroelectronics, 2020b).

No que se refere às interfaces de comunicação, o microcontrolador integra um controlador Ethernet MAC (*Media Access Control*) compatível com o padrão IEEE 802.3, necessitando apenas de um transceptor PHY (*Physical Layer*) externo para a implementação da comunicação em rede. Além disso, dispõe de múltiplas interfaces UART/USART, que podem ser empregadas em sistemas de comunicação RS485 por meio da utilização de transceptores externos dedicados (STMicroelectronics, 2020b). O dispositivo dispõe ainda de um elevado número de pinos de entrada e saída de propósito geral (GPIO), que podem ser configurados individualmente como entradas, saídas ou funções alternativas, proporcionando maior flexibilidade para a integração dos diversos periféricos requeridos pelo projeto (STMicroelectronics, 2020b).

Essas características fundamentaram a escolha do STM32H745ZI como unidade central da placa de controle desenvolvida neste trabalho, responsável pela aquisição dos sinais dos módulos de sensoramento, geração dos sinais PWM e gerenciamento das interfaces de comunicação. A distribuição dos pinos entre os periféricos é apresentada na Seção 3.4.

2.2 PLACA DE DESENVOLVIMENTO NUCLEO-H745ZI-Q

A placa NUCLEO-H745ZI-Q é uma plataforma de desenvolvimento oficial da STMicroelectronics baseada no microcontrolador STM32H745ZI. A placa é composta pela PCB MB1363-H745ZIQ-D01 e integra diversos recursos destinados à avaliação e ao desenvolvimento de aplicações embarcadas. Além da própria placa, a fabricante disponibiliza os arquivos de esquemático, *layout* da placa de circuito impresso e a lista de materiais (*Bill of Materials* – BOM), permitindo que esses recursos sejam utilizados como referência no desenvolvimento de sistemas embarcados baseados nesse dispositivo (STMicroelectronics, 2019a).

Os arquivos disponibilizados pela STMicroelectronics seguem as recomendações do fabricante quanto aos circuitos de alimentação, configuração dos osciladores, implementação das interfaces de comunicação e disposição física dos componentes na placa. Dessa forma, constituem uma importante fonte de consulta para o desenvolvimento de novos projetos, podendo auxiliar tanto na elaboração dos esquemáticos quanto nas etapas de posicionamento e roteamento da placa de circuito impresso. No presente trabalho, esses arquivos foram adotados como referência principal para o desenvolvimento da placa de controle proposta (STMicroelectronics, 2019a).

Figura 1 – Placa de desenvolvimento Nucleo-H745ZI-Q.

Fonte: (STMicroelectronics, 2019b).

2.3 COMUNICAÇÃO INDUSTRIAL

Os sistemas embarcados empregados em aplicações industriais frequentemente necessitam da troca de informações com outros dispositivos, sensores e sistemas supervisórios. Nesse contexto, diferentes tecnologias de comunicação podem ser empregadas, destacando-se a Ethernet e o padrão RS485, amplamente utilizados em aplicações industriais devido às suas características de desempenho e às diferentes necessidades de comunicação que atendem.

2.3.1 Ethernet

Ethernet é um padrão de comunicação para redes locais definido pela norma IEEE 802.3, amplamente empregado em sistemas embarcados e aplicações industriais devido à sua ampla disponibilidade de dispositivos compatíveis e suporte a diferentes velocidades de transmissão (IEEE, 2022). Em aplicações embarcadas, são comuns interfaces com velocidades de 10 Mbps e 100 Mbps (STMicroelectronics, 2020b).

A implementação da interface Ethernet em sistemas embarcados é normalmente dividida em duas partes: o controlador MAC, responsável pelo gerenciamento do acesso ao meio e pelo encapsulamento dos quadros Ethernet, e o transceptor PHY, responsável pela conversão entre os sinais digitais provenientes do MAC e os sinais elétricos transmitidos pelo meio físico. A comunicação entre o MAC e o PHY é realizada por meio da interface RMII (*Reduced Media Independent Interface*), que reduz o número de pinos necessários para essa comunicação (IEEE, 2022).

Como o controlador MAC já está integrado ao STM32H745ZI, o desenvolvimento da interface Ethernet neste trabalho concentra-se na implementação do transceptor PHY e dos circuitos associados à conexão física da rede, descritos na Seção 3.3.5.

2.3.2 RS485

O RS485 é um padrão de comunicação serial diferencial definido pela norma TIA/EIA-485, amplamente utilizado em ambientes industriais devido à sua elevada imunidade a ruídos e interferências eletromagnéticas, bem como à capacidade de comunicação em longas distâncias. O padrão utiliza um par de fios diferencial (A e B) para transmissão dos dados, característica que contribui para aumentar a robustez da comunicação em comparação com interfaces de sinal único (TIA, 1998).

O RS485 suporta comunicação multiponto, permitindo que múltiplos dispositivos compartilhem o mesmo barramento. Na especificação original, podem ser conectadas até 32 cargas unitárias em um mesmo segmento. A taxa de transmissão pode atingir 10 Mbps em curtas distâncias, sendo reduzida à medida que o comprimento do cabo aumenta (TIA, 1998).

Essas características fundamentaram a adoção do RS485 como interface de comunicação local da bancada, ambiente em que a comutação dos conversores de potência produz elevados níveis de interferência eletromagnética. No projeto desenvolvido, a interface incorpora isolamento galvânica entre o domínio lógico da placa e o barramento RS485, conforme descrito na Seção 3.3.6.

2.4 MEDIÇÃO DE TENSÃO E CORRENTE

A medição de tensão e corrente é fundamental em sistemas de eletrônica de potência, pois fornece as variáveis necessárias para o monitoramento e a implementação de estratégias de controle dos conversores (Rashid, 2014).

A medição de corrente pode ser realizada por diferentes técnicas, como resistores *shunt*, transformadores de corrente e sensores baseados no efeito Hall. Estes últimos permitem a medição de correntes contínuas, alternadas e pulsadas, além de proporcionar isolamento galvânica entre o circuito de potência e o circuito de controle, dispensando o contato elétrico direto com o condutor monitorado (Rashid, 2014).

A medição de tensão em sistemas de potência geralmente requer circuitos de condicionamento e isolamento entre o ponto de medição e o circuito de controle, de modo a garantir a segurança dos dispositivos eletrônicos e a compatibilidade dos níveis de tensão com as entradas do sistema de aquisição. Essa isolamento pode ser obtida por meio de amplificadores isolados, os quais permitem adequar os sinais de tensão para níveis compatíveis com as entradas do microcontrolador (Rashid, 2014).

Os módulos de sensoriamento que fornecem os sinais à placa de controle empregam essas técnicas, entregando-os já condicionados à faixa de operação das entradas analógicas, de modo que à placa de controle cabe a alimentação desses módulos e a recepção dos sinais, conforme a Seção 3.3.3.

2.5 CONVERSORES CC-CC BUCK

Conversores CC-CC são circuitos que convertem um nível de tensão contínua em outro, empregando elementos de comutação e de armazenamento de energia. Diferentemente dos reguladores lineares, que dissipam a diferença de tensão em forma de calor, os reguladores comutados alternam a chave entre condução e bloqueio, reduzindo as perdas e permitindo rendimentos elevados. O conversor abaixador, ou *buck*, é a topologia mais empregada quando a tensão de saída deve ser inferior à de entrada, condição característica das cadeias de alimentação de sistemas embarcados (Mohan; Undeland; Robbins, 2003).

A topologia é constituída por uma chave semicondutora, um diodo, um indutor e um capacitor de saída. Durante a condução da chave, a tensão de entrada é aplicada ao indutor, cuja corrente cresce e transfere energia à saída; com a chave bloqueada, a corrente circula pelo diodo e decresce, mantendo o fornecimento à carga. O capacitor de saída atenua a variação resultante, entregando à carga uma tensão de valor médio praticamente constante (Rashid, 2014).

Em regime permanente, a relação entre as tensões de entrada e de saída é dada pela razão cíclica D , conforme a Equação 2.1:

$$D = \frac{V_{OUT}}{V_{IN}} \quad (2.1)$$

A corrente no indutor apresenta uma ondulação (*ripple*) ΔI_L superposta ao valor médio de carga, cuja amplitude relaciona-se à indutância L e à frequência de comutação f_{sw} conforme a Equação 2.2:

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) D}{L f_{sw}} \quad (2.2)$$

relação a partir da qual se obtém a indutância necessária para uma ondulação especificada:

$$L = \frac{(V_{IN} - V_{OUT}) D}{\Delta I_L f_{sw}} \quad (2.3)$$

A escolha da indutância envolve um compromisso: valores reduzidos aumentam a ondulação de corrente e de tensão na saída, enquanto indutâncias elevadas resultam em componentes maiores e resposta mais lenta a transitórios. É usual adotar ondulação entre 20% e 40% da corrente nominal de carga, observando-se ainda a corrente de saturação e a capacidade de condução contínua do indutor. Quando a corrente permanece sempre positiva, o conversor opera em modo de condução contínua; caso contrário, em modo descontínuo, no qual a relação entre as tensões passa a depender também da corrente de carga. Em implementações de maior rendimento, o diodo é substituído por uma segunda chave comandada de forma complementar — o *buck* síncrono — eliminando a queda direta

do diodo, à custa de um intervalo de tempo morto entre os comandos das chaves (Mohan; Undeland; Robbins, 2003).

A rede de alimentação da placa deriva, a partir de uma única tensão de entrada, os diferentes barramentos necessários aos circuitos internos e às cargas externas, utilizando reguladores *buck* dimensionados com base nos princípios apresentados nesta seção, conforme detalhado na Seção 3.3.1.

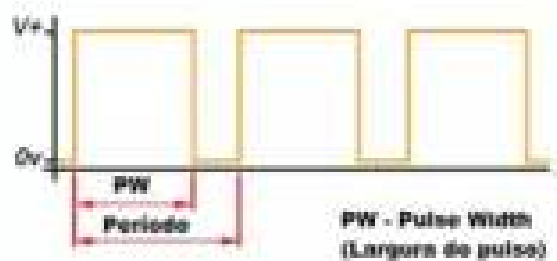
2.6 MODULAÇÃO POR LARGURA DE PULSO

A modulação por largura de pulso, do inglês *Pulse Width Modulation* (PWM), consiste em variar a largura dos pulsos de um sinal periódico por meio da alteração de sua razão cíclica (*duty cycle*), correspondente à fração do período em que o sinal permanece em nível alto, conforme ilustrado na Figura 2 e definido pela Equação 2.4:

$$D = \frac{t_{on}}{T} \quad (2.4)$$

em que t_{on} é o tempo em que o sinal permanece em nível alto e T o período total do sinal (Rashid, 2014).

Figura 2 – Sinal PWM com indicação da largura de pulso e período.



Fonte: (Mundo da Elétrica, 2024).

Em sistemas de eletrônica de potência, a técnica é amplamente empregada no acionamento de dispositivos semicondutores e no controle da energia transferida à carga, sendo fundamental em conversores estáticos e sistemas de acionamento (Rashid, 2014). No projeto desenvolvido, dezesseis canais PWM são gerados pelos temporizadores do microcontrolador e disponibilizados em conectores individuais destinados ao acionamento dos *drivers* das chaves semicondutoras, conforme apresentado na Seção 3.4.1.

2.7 PROJETO DE PLACAS DE CIRCUITO IMPRESSO

O desenvolvimento de uma placa de circuito impresso envolve um conjunto de etapas que vão desde a concepção do circuito elétrico até a geração dos arquivos necessários

para fabricação. De forma geral, esse processo é dividido em duas etapas principais: a elaboração do esquemático, que define as conexões elétricas entre os componentes, e o desenvolvimento do *layout*, responsável por determinar o posicionamento físico dos componentes e o roteamento das trilhas condutoras na placa (Horowitz; Hill, 2015).

2.7.1 Esquemático

O esquemático é a representação gráfica do circuito elétrico, composta por símbolos padronizados que identificam os componentes e por linhas que representam as conexões elétricas entre eles. Sua função é documentar o funcionamento elétrico do circuito de forma clara e independente da disposição física dos componentes na placa.

A elaboração do esquemático constitui a primeira etapa do desenvolvimento de uma PCB e serve como base para todas as etapas subsequentes do projeto, fornecendo as informações necessárias para o posicionamento e o roteamento dos componentes (Horowitz; Hill, 2015).

2.7.2 Projeto do Layout

O *layout* corresponde à etapa em que o esquemático é traduzido para a representação física da placa. Nessa fase, os componentes são posicionados na área da PCB e as conexões elétricas definidas no esquemático são implementadas por meio de trilhas condutoras, vias e planos de cobre.

As trilhas condutoras são os caminhos de cobre gravados sobre as camadas da placa, responsáveis por conduzir os sinais elétricos e a corrente entre os componentes, substituindo os fios que interligariam o circuito em uma montagem convencional. Sua largura e espessura devem ser dimensionadas em função da corrente que conduzem e da elevação de temperatura admissível, ao passo que seu comprimento e sua proximidade a outras trilhas influenciam diretamente a integridade dos sinais, especialmente em aplicações de alta frequência (Horowitz; Hill, 2015).

As vias são furos metalizados que atravessam o substrato da placa, permitindo a interligação elétrica entre trilhas situadas em camadas distintas. Em placas multicamada, como a desenvolvida neste trabalho, as vias são indispensáveis para que um sinal originado em uma camada alcance componentes ou planos posicionados em camadas internas ou na face oposta da placa (Horowitz; Hill, 2015).

Os planos de cobre são regiões contínuas de cobre que recobrem parte ou a totalidade de uma camada, geralmente destinadas ao terra ou à alimentação. Diferentemente das trilhas, que conduzem sinais individuais, os planos fornecem um caminho de baixa impedância comum a diversos componentes simultaneamente, além de atuarem como referência para o retorno das correntes de alta frequência que circulam pelas trilhas de sinal

adjacentes, contribuindo para a redução de interferências eletromagnéticas (Horowitz; Hill, 2015).

O posicionamento dos componentes e das trilhas exerce influência direta no desempenho elétrico da placa, especialmente em circuitos que operam em altas frequências ou que envolvem sinais sensíveis a ruído. Entre as boas práticas de *layout*, destacam-se a minimização do comprimento das trilhas críticas e a separação entre regiões de sinais analógicos e digitais (Horowitz; Hill, 2015).

2.7.3 PCB Multicamada

PCBs multicamada são placas que possuem mais de duas camadas condutoras, separadas por materiais dielétricos e unidas por meio de processos de prensagem. O conjunto dessas camadas é denominado *stack-up* e define a ordem de empilhamento, a espessura e o material empregado em cada camada.

A utilização de múltiplas camadas permite dedicar camadas internas a planos de alimentação e de terra, reduzindo a impedância dos planos de referência, melhorando a integridade dos sinais e facilitando o roteamento nas camadas externas. A definição do *stack-up* considera a densidade de sinais do projeto e a necessidade de assegurar que cada camada de roteamento disponha de um plano de referência adjacente, o qual proporciona um caminho contínuo às correntes de retorno de alta frequência (Brooks, 2003).

Com base nesses critérios, foi definido o *stack-up* da placa desenvolvida neste trabalho, buscando atender aos requisitos de integridade de sinais, distribuição de alimentação e facilidade de roteamento. O empilhamento adotado é apresentado na Seção 3.5.1.

2.7.4 Regras de Design e Norma IPC-2221

As regras de design, do inglês *Design Rules*, correspondem a um conjunto de restrições geométricas e elétricas que devem ser respeitadas durante o desenvolvimento do *layout*, com o objetivo de garantir a fabricabilidade e a confiabilidade da placa. Entre os principais parâmetros controlados por essas regras estão o espaçamento mínimo entre trilhas (*clearance*), a espessura mínima das trilhas, o diâmetro mínimo das vias e as distâncias de isolamento entre condutores submetidos a diferentes potenciais (IPC, 2012).

A norma IPC-2221, publicada pela IPC, *Association Connecting Electronics Industries*, constitui um dos principais documentos de referência para o projeto de placas de circuito impresso, estabelecendo requisitos mínimos de projeto com base em critérios elétricos, térmicos e mecânicos. Entre suas diretrizes destacam-se as recomendações para o espaçamento mínimo entre condutores em função da tensão aplicada e do ambiente de operação da placa, amplamente utilizadas em projetos de eletrônica de potência (IPC, 2012).

As recomendações dessa norma orientaram a definição das larguras de trilha e das distâncias de isolamento do projeto, verificadas conforme descrito na Seção 3.5.2.

2.8 FERRAMENTAS DE DESENVOLVIMENTO

2.8.1 Altium Designer

O Altium Designer é um *software* profissional para o desenvolvimento de projetos eletrônicos, amplamente utilizado na indústria para a criação de esquemáticos e *layouts* de PCBs. A ferramenta integra em um único ambiente o editor de esquemáticos, o editor de *layout*, o gerenciamento de bibliotecas de componentes, a verificação de regras de projeto (DRC) e a geração dos arquivos necessários para fabricação, permitindo que todas as etapas do desenvolvimento de uma PCB sejam realizadas de forma integrada (Altium, 2024).

O gerenciamento do projeto foi realizado por meio da plataforma Altium 365, serviço de colaboração em nuvem integrado ao Altium Designer. A plataforma permite o versionamento do projeto, possibilitando o registro do histórico de alterações realizadas nos esquemáticos e no *layout* ao longo do desenvolvimento, além da associação de marcações (*tags*) a versões específicas, o que facilita a identificação e a recuperação de etapas anteriores do projeto (Altium, 2024).

2.8.2 STM32CubeMX

O STM32CubeMX é um utilitário gráfico da STMicroelectronics destinado à configuração de microcontroladores da família STM32. A ferramenta permite a atribuição das funções dos pinos, a configuração dos periféricos e da árvore de *clocks* do dispositivo, sinalizando conflitos entre funções que compartilham um mesmo pino, além de gerar automaticamente o código de inicialização do projeto (STMicroelectronics, 2024c). O utilitário encontra-se disponível tanto como programa autônomo quanto integrado ao STM32CubeIDE, ambiente de desenvolvimento oficial do fabricante para a família STM32 (STMicroelectronics, 2024b).

2.8.3 Saturn PCB Toolkit

O Saturn PCB Toolkit é um *software* de apoio ao projeto de placas de circuito impresso baseado nas recomendações da norma IPC-2221. A ferramenta disponibiliza diferentes módulos de cálculo, incluindo o dimensionamento da largura de trilhas em função da corrente e a determinação das distâncias mínimas de isolamento entre condutores, auxiliando o projetista na definição dos parâmetros do *layout* da PCB (Saturn PCB Design, 2023).

3 METODOLOGIA

Este capítulo descreve as etapas adotadas no desenvolvimento da placa de controle baseada no microcontrolador STM32H745ZI, desde a definição da arquitetura do sistema até a geração dos arquivos de fabricação.

O desenvolvimento do projeto foi organizado em etapas sequenciais, nas quais o resultado de cada fase serviu de base para a seguinte. Inicialmente, foram estudados os circuitos da placa de referência NUCLEO-H745ZI-Q e os *datasheets* dos dispositivos empregados, o que fundamentou a seleção dos componentes e sua posterior adição à biblioteca do Altium Designer. Em seguida, foram elaborados os esquemáticos e realizada a configuração dos pinos do microcontrolador no STM32CubeMX, etapas que antecederam o projeto do *layout* e o roteamento da placa. Por fim, foram realizadas as verificações do projeto e gerados os arquivos de fabricação. A Figura 3 apresenta o fluxo de desenvolvimento adotado.

Figura 3 – Fluxo de desenvolvimento adotado no projeto.



Fonte: Elaborado pela autora (2026).

3.1 DEFINIÇÃO DA ARQUITETURA DO SISTEMA

A definição da arquitetura constituiu a etapa inicial do projeto, na qual foram estabelecidos os blocos funcionais da placa, as interfaces com os demais elementos da bancada e os requisitos de alimentação e de proteção. Essa definição orientou, nas etapas seguintes, a seleção dos componentes e a elaboração dos esquemáticos.

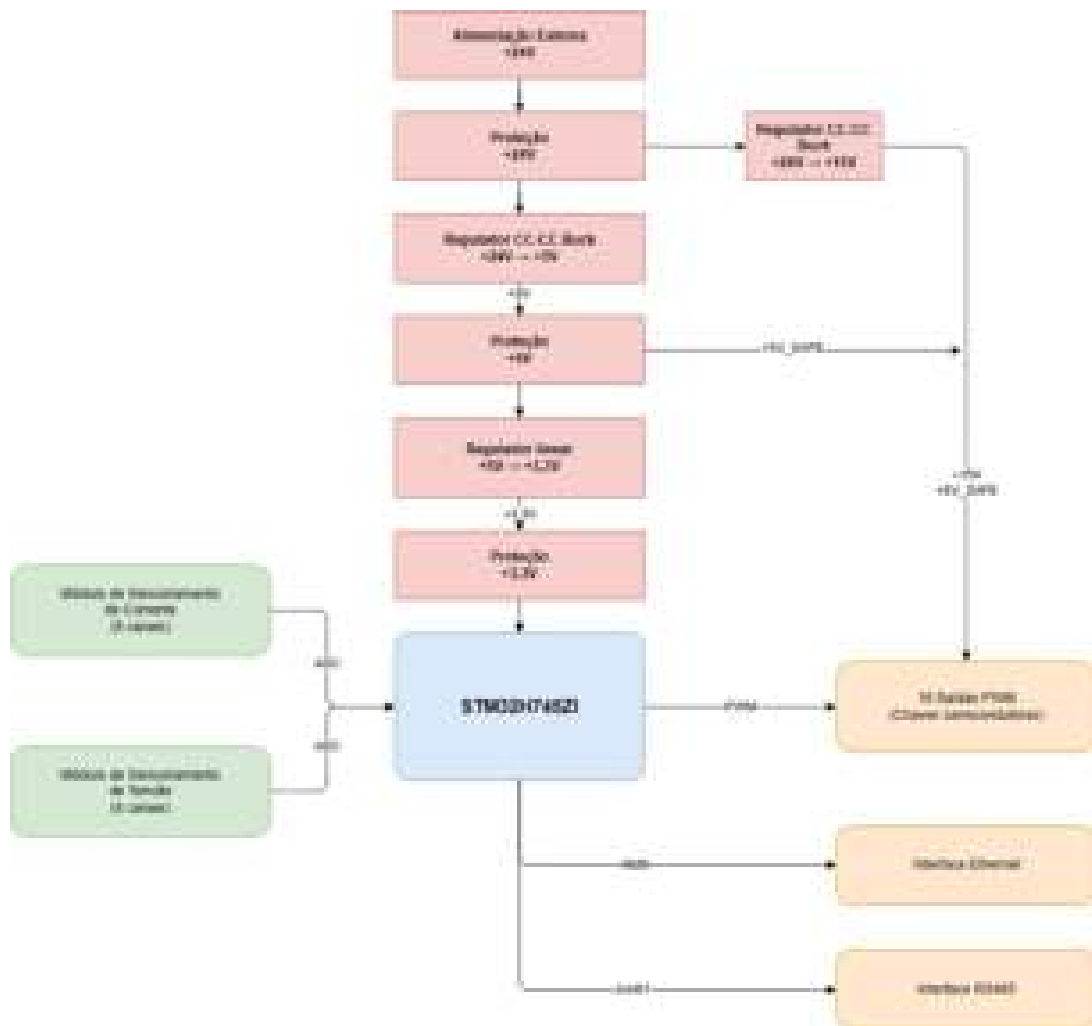
Os sinais de tensão e de corrente são fornecidos por módulos de sensoriamento externos, implementados em placas independentes e desenvolvidos em trabalho anterior da autora. Esses módulos realizam o condicionamento dos sinais medidos, entregando-os já adequados à faixa de operação das entradas do conversor analógico-digital do microcontrolador. A placa de controle, por sua vez, é responsável pela alimentação desses módulos e pela recepção dos sinais condicionados, por meio de conectores dedicados.

As dezesseis saídas PWM destinam-se ao acionamento dos *drivers* das chaves semicondutoras, não estando vinculadas a uma topologia específica de conversor. Dessa forma, a placa constitui uma plataforma de propósito geral, podendo ser empregada em diferentes configurações, conforme os estudos a serem conduzidos na bancada.

A placa recebe uma única alimentação externa, de +24 V, a partir da qual são derivadas as demais tensões requeridas pelos circuitos internos, pelos módulos de sensoriamento e pelos *drivers* das chaves semicondutoras. A distribuição da energia foi organi-

zada em uma cadeia sequencial de proteção e regulação: a tensão de +24 V é inicialmente submetida a um circuito de proteção contra sobrecorrente e sobretensão, a partir do qual derivam dois reguladores independentes, um destinado à geração do barramento de +15 V, empregado exclusivamente na alimentação dos *drivers* conectados às saídas PWM, e outro à geração do barramento de +5 V, imediatamente submetido a um novo estágio de proteção, a partir do qual são alimentados o módulo de sensoramento de tensão, os circuitos associados ao acionamento dos *drivers* por meio dos conectores de saída PWM e o regulador linear que gera o barramento de +3,3 V, o qual é igualmente protegido antes de ser distribuído ao microcontrolador e aos demais circuitos internos da placa.

A placa dispõe, ainda, de duas interfaces de comunicação, destinadas a necessidades distintas. A interface RS485 atende à comunicação local, no âmbito da própria bancada, com outros dispositivos e módulos a ela conectados, sendo adequada ao ambiente eletromagneticamente ruidoso característico de conversores de potência. A interface Ethernet, por sua vez, atende à comunicação em rede, possibilitando a integração da placa a um sistema supervisor para monitoramento remoto e registro dos dados adquiridos. A Figura 4 apresenta o diagrama de blocos do sistema.

Figura 4 – Diagrama de blocos da placa de controle.

Fonte: Elaborado pela autora (2026).

Os periféricos utilizados no projeto são:

- Oito entradas analógicas (ADC) para leitura dos sinais provenientes dos módulos de sensoriamento de corrente;
- Oito entradas analógicas (ADC) para leitura dos sinais provenientes dos módulos de sensoriamento de tensão;
- Dezesesseis saídas PWM para acionamento dos *drivers* das chaves semicondutoras, distribuídas em dezesesseis conectores individuais;
- Quatro saídas digitais destinadas à habilitação dos sinais PWM;
- Interface de comunicação Ethernet;
- Interface de comunicação RS485.

3.2 SELEÇÃO DE COMPONENTES E ADIÇÃO NA BIBLIOTECA

A seleção dos componentes foi precedida pelo estudo dos arquivos oficiais da placa NUCLEO-H745ZI-Q, adotados como referência principal do projeto conforme apresentado na Seção 2.2 (STMicroelectronics, 2019a). A partir da análise dos circuitos e da consulta aos *datasheets* dos dispositivos empregados, definiram-se os componentes necessários a cada bloco funcional da placa, os quais foram então adicionados à biblioteca do projeto no Altium Designer.

A fabricação e a montagem da placa serão realizadas pela JLCPCB, empresa fundada em 2006 e sediada em Shenzhen, na China, que se consolidou como uma das principais fornecedoras globais de serviços de prototipagem e montagem de placas de circuito impresso, oferecendo desde a fabricação da placa nua até a montagem automatizada dos componentes (PCBA) (JLCPCB, 2026a).

Como a maior parte dos componentes será soldada pelo próprio fabricante durante o processo de montagem, a escolha dos dispositivos foi condicionada ao catálogo disponibilizado pela JLCPCB, de modo a garantir a viabilidade da montagem automatizada. A empresa integra um ecossistema que reúne, além do serviço de fabricação, a plataforma de componentes LCSC, cujo estoque é diretamente associado ao serviço de montagem: os itens especificados na lista de materiais são vinculados ao inventário disponível, o que permite verificar a disponibilidade e o custo de cada dispositivo ainda durante a etapa de projeto.

Dessa forma, a seleção considerou, além da adequação técnica de cada dispositivo à função desempenhada no circuito, a disponibilidade em estoque no momento do projeto. Para os componentes passivos, como resistores e capacitores, optou-se preferencialmente por componentes classificados como *basic* pela JLCPCB. Essa categoria reúne os dispositivos de uso mais frequente, que já se encontram carregados nas máquinas de montagem do fabricante, o que elimina os custos adicionais de preparação associados aos componentes classificados como *extended* e reduz o custo total de fabricação da placa.

3.3 DESENVOLVIMENTO DOS ESQUEMÁTICOS

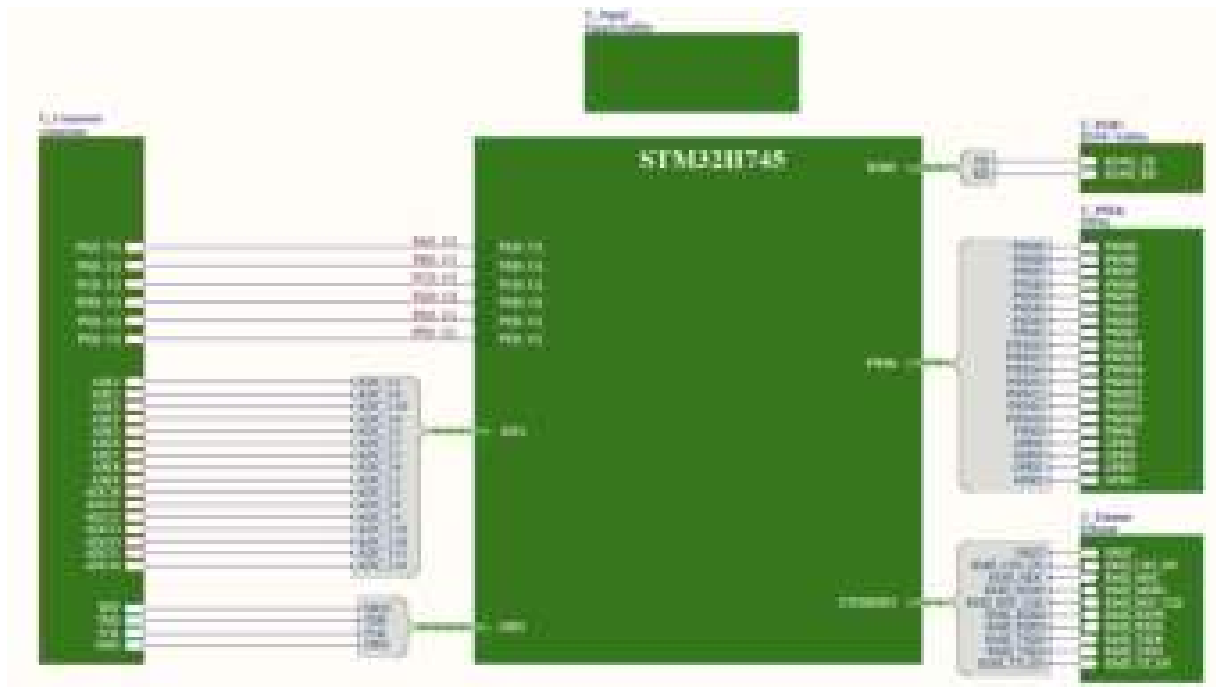
O desenvolvimento dos esquemáticos foi realizado no Altium Designer, adaptando-se os circuitos de referência às necessidades do projeto. O projeto foi estruturado de forma hierárquica, com uma folha de topo, `Main.SchDoc`, responsável por interligar o microcontrolador aos demais blocos funcionais. Cada bloco foi implementado em um *sheet* independente, o que torna o projeto mais organizado e facilita a leitura e a compreensão do esquemático, uma vez que cada circuito pode ser analisado separadamente.

Os *sheets* subordinados à `Main.SchDoc` são: `STM32H745.SchDoc`, que contém as conexões do microcontrolador e os pinos referentes a cada periférico; `Supply.SchDoc`,

referente à alimentação; **Connectors.SchDoc**, que reúne os conectores; **PWMs.SchDoc**, destinada à geração dos sinais PWM; **Ethernet.SchDoc**, referente à interface de rede; e **RS485.SchDoc**, referente à comunicação serial diferencial. As figuras apresentadas ao longo desta seção correspondem a recortes dos circuitos discutidos; as folhas completas dos esquemáticos encontram-se no Apêndice C.

A interligação entre os *sheets* foi realizada por meio do recurso *Signal Harness* do Altium Designer, que permite agrupar diversos sinais em uma única conexão lógica. Dessa forma, a folha de topo conecta-se a cada bloco por meio de uma única ligação, reduzindo a quantidade de conexões individuais. A Figura 5 apresenta o *sheet* da **Main.SchDoc**, na qual é possível observar a organização hierárquica do projeto e a interligação entre os blocos por meio do *Signal Harness*.

Figura 5 – Folha de topo (**Main.SchDoc**) com a interligação entre os blocos.



Fonte: Elaborado pela autora (2026).

3.3.1 Alimentação (**Supply.SchDoc**)

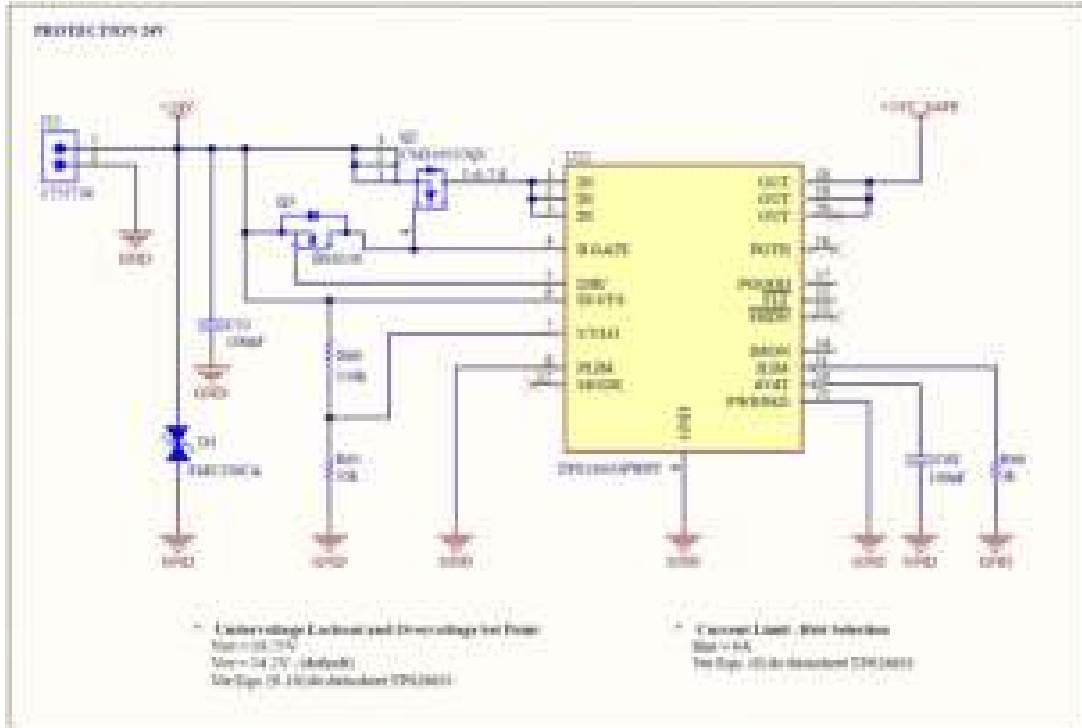
O *sheet* **Supply.SchDoc** implementa os circuitos da cadeia de alimentação descrita na arquitetura do sistema: o estágio de proteção da entrada de +24 V, os dois reguladores *buck* responsáveis pela geração dos barramentos de +15 V e +5 V, o regulador linear que origina o barramento de +3,3 V e os fusíveis eletrônicos que protegem os barramentos internos. As seções seguintes detalham o dimensionamento de cada um desses estágios.

3.3.1.1 Proteção da entrada de +24 V

A entrada de +24 V é protegida por um fusível eletrônico (eFuse) TPS26633PWPT (U22), auxiliado por um FET de potência externo (Q2, CSD19537Q3) e um FET de

sinalização (Q3, BSS138), que juntos formam a topologia *back-to-back* recomendada pelo fabricante para bloqueio de corrente reversa e proteção contra polaridade invertida. Um supressor de transientes (TVS) SMCJ36CA (D3) protege o circuito contra picos de tensão (Texas Instruments, 2024). O dispositivo gera o barramento de +24V_SAFE, a partir do qual derivam os dois reguladores *buck* descritos na Seção 3.3.1.2. A Figura 6 apresenta o circuito de proteção da entrada.

Figura 6 – Circuito de proteção da entrada de +24 V.



Fonte: Elaborado pela autora (2026).

3.3.1.1.1 Ajuste do bloqueio por subtensão (UVLO)

O UVLO (*undervoltage lockout*) é a função de proteção responsável por desabilitar a saída do eFuse quando a tensão de entrada cai abaixo de um limiar mínimo, evitando que os reguladores subsequentes operem com uma alimentação instável ou insuficiente. O limiar é definido por um divisor resistivo de dois resistores, R60 (510 kΩ) e R65 (33 kΩ), conectado entre +24 V, UVLO e GND.

Utilizando a relação fornecida pelo fabricante para o dimensionamento do divisor de UVLO (Texas Instruments, 2024):

$$V_{UV} = V_{UVLOR} \left(\frac{R_{60} + R_{65}}{R_{65}} \right) \quad (3.1)$$

em que $V_{UVLOR} = 1,2$ V é o limiar interno de referência do dispositivo, obtém-se:

$$V_{UV} = 1,2 \left(\frac{510 + 33}{33} \right) \approx 19,75 \text{ V} \quad (3.2)$$

Com esses valores, o bloqueio por subtensão fica ajustado em $V_{UV} \approx 19,75$ V. A proteção de sobretensão, por sua vez, não é ajustável nessa variante do dispositivo e permanece no valor de fábrica, com grampeamento em $V_{OV} = 34,2$ V (Texas Instruments, 2024).

3.3.1.1.2 Ajuste do limite de corrente ($ILIM$)

O limite de corrente é definido pelo resistor R66, conectado ao pino $ILIM$, segundo a relação fornecida pelo fabricante (Texas Instruments, 2024):

$$I_{OL} = \frac{18}{R_{ILIM}} \quad (3.3)$$

em que R_{ILIM} é expresso em $k\Omega$ e I_{OL} , em A, válida na faixa de 3 $k\Omega$ a 30 $k\Omega$ (0,6 A a 6 A).

O dimensionamento de R66 foi realizado a partir do levantamento da corrente refletida no barramento de +24V_SAFE pelos dois reguladores *buck* alimentados a partir dele: o regulador de +24 V para +15 V, dimensionado para fornecer até 6 A à carga, e o regulador de +24 V para +5 V, dimensionado para fornecer até 2,5 A à carga.

Em um regulador chaveado, a grandeza que se conserva entre a entrada e a saída é a potência, descontadas as perdas do próprio dispositivo. Assim, a corrente que cada regulador solicita ao barramento de +24 V é obtida referindo-se a corrente de saída à tensão de entrada e dividindo-se pelo rendimento (η) no ponto de operação:

$$I_{IN} = \left(\frac{I_{OUT}}{\eta} \right) \left(\frac{V_{OUT}}{V_{IN}} \right) \quad (3.4)$$

Os rendimentos de cada regulador foram obtidos das curvas de rendimento apresentadas nos respectivos *datasheets*, nos pontos de operação do projeto. Para o regulador de +15 V (SiC462, operando em 24 V de entrada e 6 A de carga), adotou-se $\eta \approx 95\%$ (Vishay Siliconix, 2025):

$$I_{IN(15V)} = \left(\frac{6}{0,95} \right) \left(\frac{15}{24} \right) \approx 3,95 \text{ A} \quad (3.5)$$

Para o regulador de +5 V (LM76002, operando em 24 V de entrada, 2,5 A de carga e 500 kHz), adotou-se $\eta \approx 88\%$ (Texas Instruments, 2019):

$$I_{IN(5V)} = \left(\frac{2,5}{0,88} \right) \left(\frac{5}{24} \right) \approx 0,59 \text{ A} \quad (3.6)$$

Como as duas parcelas estão referidas à mesma tensão de +24 V, elas podem ser somadas:

$$I_{IN(total)} = 3,95 + 0,59 \approx 4,54 \text{ A} \quad (3.7)$$

Aplicando-se uma margem de projeto de 20% a 30% sobre esse valor, mesma prática adotada no dimensionamento dos demais barramentos de proteção da placa, o limite de corrente recomendado situa-se entre 5,4 A e 5,9 A. Como o TPS26633 admite no máximo 6 A de limite de corrente (correspondente ao valor mínimo permitido de $R_{ILIM} = 3 \text{ k}\Omega$), adotou-se:

$$R_{ILIM} = R66 = 3 \text{ k}\Omega \Rightarrow I_{OL} = \frac{18}{3} = 6 \text{ A} \quad (3.8)$$

o que corresponde ao maior limite de corrente suportado pelo dispositivo, condição justificada pela proximidade entre a demanda total do sistema e a capacidade nominal do CI de proteção escolhido.

3.3.1.2 Reguladores CC-CC de +24 V

A partir do barramento de +24V_SAFE, dois reguladores *buck* síncronos independentes, que implementam a topologia apresentada na Seção 2.5, geram as tensões utilizadas pelo restante do sistema.

3.3.1.2.1 Regulador de +24 V para +15 V

O regulador de +15 V é baseado no SiC462ED-T1-GE3 (U32), regulador *buck* síncrono da família microBUCK da Vishay, dimensionado para fornecer até 6 A à alimentação dos *drivers* das chaves semicondutoras de potência, localizados em uma placa externa (Vishay Siliconix, 2025). A capacidade de 6 A foi estabelecida a partir do levantamento do consumo dos dezesseis *drivers* SKHI 22B R alimentados por esse barramento. Considerando a corrente máxima de alimentação de 290 mA por unidade, especificada pelo fabricante (SEMIKRON, 2000), obtém-se 4,64 A, valor ao qual se aplicou a mesma margem adotada no dimensionamento dos demais barramentos da placa.

O dimensionamento seguiu o procedimento de projeto do *datasheet* do componente e foi consolidado na ferramenta de simulação PowerCAD, disponibilizada pela própria Vishay para o projeto de reguladores da família microBUCK (Vishay Intertechnology, 2026). Os cálculos analíticos apresentados a seguir serviram como verificação do dimensionamento. Nos casos em que houve divergência entre o valor calculado e o sugerido pela ferramenta, adotaram-se os valores comerciais mais próximos aos indicados pela simulação, recorrendo a associações em série quando o desvio era relevante.

Com $V_{IN} = 24 \text{ V}$, $V_{OUT} = 15 \text{ V}$ e frequência de comutação $f_{sw} = 500 \text{ kHz}$, a razão cíclica, obtida pela Equação 2.1, e o tempo de condução da chave superior valem:

$$D = \frac{V_{OUT}}{V_{IN}} = \frac{15}{24} = 0,625 \quad T_{on} = \frac{V_{OUT}}{V_{IN} f_{sw}} = 1,25 \mu s \quad (3.9)$$

O indutor foi dimensionado a partir da relação apresentada na Equação 2.2, adotando-se um *ripple* de corrente de 30% da corrente nominal de carga ($K = 0,3$), conforme o procedimento de projeto do fabricante (Vishay Siliconix, 2025):

$$L = \frac{(V_{IN} - V_{OUT}) T_{on}}{K I_{OUT}} = \frac{(24 - 15)(1,25)(10^{-6})}{(0,3)(6)} = 6,25 \mu H \quad (3.10)$$

adotando-se o valor comercial de $6,8 \mu H$ (L3). O *ripple* de corrente resultante do critério de projeto é:

$$\Delta I_L = K I_{OUT} = (0,3)(6) = 1,8 A \quad (3.11)$$

O SiC462 realiza a limitação de corrente ciclo a ciclo monitorando a corrente de vale do indutor. O resistor de ajuste é calculado por (Vishay Siliconix, 2025):

$$R_{LIM} = \frac{K_{LIM}}{I_{OUT} - \frac{\Delta I_L}{2}} = \frac{480}{6 - 0,9} \approx 94,1 k\Omega \quad (3.12)$$

em que $K_{LIM} = 480 k\Omega \cdot A$ é a constante fornecida pelo fabricante. No circuito, adotou-se o valor mais próximo do indicado pela simulação, de $78,7 k\Omega$, realizado pela associação em série de R71 ($75 k\Omega$) e R75 ($3,6 k\Omega$), totalizando $78,6 k\Omega$. Esse valor posiciona o limiar de atuação da proteção em aproximadamente $6,1 A$ de corrente de vale, acima da corrente de vale nominal de operação ($5,1 A$), garantindo que o limite não seja atingido em condição normal de carga.

A tensão de saída é definida pelo divisor de realimentação conectado ao pino VFB, cuja referência interna é $V_{REF} = 0,8 V$ (Vishay Siliconix, 2025). Fixando-se o resistor inferior em $10 k\Omega$ (R68):

$$R_{FB(H)} = R_{FB(L)} \left(\frac{V_{OUT} - V_{REF}}{V_{REF}} \right) = (10) \left(\frac{15 - 0,8}{0,8} \right) = 177,5 k\Omega \quad (3.13)$$

realizado com a associação em série de R69 ($150 k\Omega$), R72 ($27 k\Omega$) e R70 ($1 k\Omega$), totalizando $178 k\Omega$, e resultando em tensão de saída de aproximadamente $15,04 V$.

Os resistores R58, R61 e R64, associados em série ($562 k\Omega$), e o resistor R74 ($200 k\Omega$) formam o divisor conectado ao pino EN, que define a tensão mínima de entrada para habilitação do regulador (Vishay Siliconix, 2025). Com o limiar típico de $1,35 V$, a partida ocorre em aproximadamente $5,1 V$, abaixo do limiar de subtensão do fusível eletrônico de entrada.

Os demais componentes do circuito, capacitâncias de entrada e de saída, rede de injeção de *ripple* do esquema de controle, resistor de ajuste da frequência de comutação, capacitor de partida suave e rede de compensação, foram dimensionados pelas relações do *datasheet* e ajustados conforme a simulação no PowerCAD. A Tabela 1 resume os valores calculados e os valores efetivamente adotados no circuito.

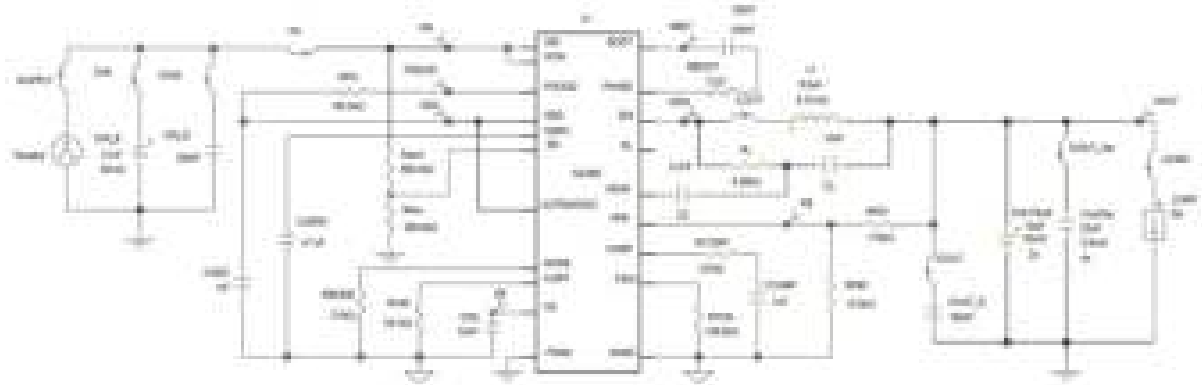
Tabela 1 – Dimensionamento do regulador de +24 V para +15 V: valores calculados e adotados.

Parâmetro	Calculado	Adotado
Indutor (L)	6,25 μH	6,8 μH (L3)
Capacitância de entrada	$\geq 5,6 \mu\text{F}$	27 μF (C14)
Capacitância de saída	$\geq 10,4 \mu\text{F}$	$2 \times 10 \mu\text{F} + 4 \times 22 \mu\text{F}$ (C57, C63–C67)
Resistor de limite de corrente (R_{LIM})	94,1 k Ω	78,6 k Ω (R71 + R75)
Realimentação — superior ($R_{FB(H)}$)	177,5 k Ω	178 k Ω (R69 + R72 + R70)
Realimentação — inferior ($R_{FB(L)}$)	10 k Ω	10 k Ω (R68)
Resistor de frequência (R_{FSW})	157,9 k Ω	150 k Ω (R67)
Capacitor de partida suave (C_{SS})	31,25 nF	33 nF (C73)
Rede de <i>ripple</i> — R_X	5,4 k Ω	5,6 k Ω (R59)
Rede de <i>ripple</i> — C_X	2,3 nF	2,2 nF (C56)
Rede de <i>ripple</i> — C_Y	2,4 nF	10 nF (C16)
Compensação — R_{COMP}	86,5 k Ω	127 k Ω (R62 + R63)
Compensação — C_{COMP}	1 nF	1 nF (C70)

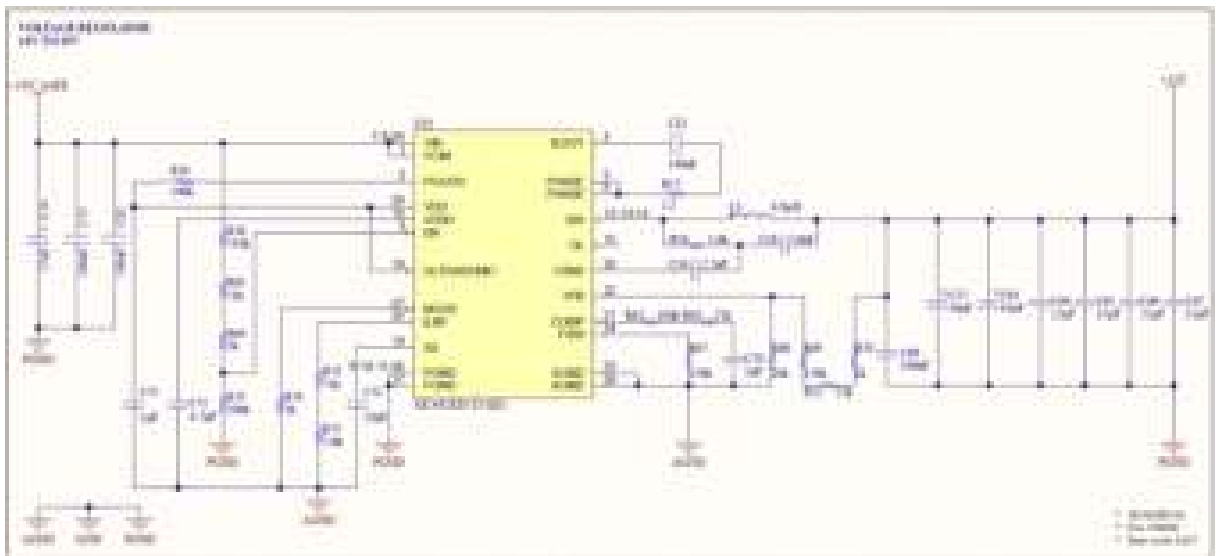
Fonte: Elaborado pela autora (2026), a partir do *datasheet* do componente (Vishay Siliconix, 2025) e da simulação no PowerCAD (Vishay Intertechnology, 2026).

As maiores divergências entre os valores calculados e os adotados ocorreram justamente nos componentes da malha de controle: o capacitor C_Y da rede de injeção de *ripple* (2,4 nF calculado contra 10 nF adotado) e o resistor de compensação R_{COMP} (86,5 k Ω calculado contra 127 k Ω adotado). Isso é esperado, pois as relações do *datasheet* para esses componentes são aproximações de primeira ordem, que consideram apenas a frequência de comutação e a ressonância do filtro LC de saída. A ferramenta de simulação, por sua vez, resolve o circuito completo, incluindo o comportamento do modulador em modo tensão com tempo de condução constante (COT), a baixa ESR dos capacitores cerâmicos de saída e o ponto de operação real, e ajusta esses componentes para garantir a estabilidade da malha. Por essa razão, para os componentes da malha de controle, prevaleceram os valores da simulação.

A simulação do circuito completo no PowerCAD, apresentada na Figura 7, indicou margem de fase de 110° e frequência de cruzamento de 27,2 kHz, confirmando a estabilidade da malha de controle no ponto de operação do projeto. A Figura 8 apresenta o circuito do regulador conforme implementado no esquemático.

Figura 7 – Simulação do regulador de +24 V para +15 V na ferramenta PowerCAD.

Fonte: Elaborado pela autora (2026), utilizando a ferramenta PowerCAD (Vishay Intertechnology, 2026).

Figura 8 – Circuito do regulador de +24 V para +15 V.

Fonte: Elaborado pela autora (2026).

3.3.1.2.2 Regulador de +24 V para +5 V

Diferentemente do regulador de +15 V, cujo dimensionamento foi conduzido a partir das relações de projeto, o de +5 V opera em um ponto contemplado pela tabela de seleção típica do fabricante, adotada como ponto de partida e verificada pelos critérios apresentados a seguir.

O regulador de +5 V é baseado no LM76002RNPR (U33), regulador *buck* síncrono de até 2,5 A, responsável pela alimentação do módulo externo de sensoriamento de tensão, dos circuitos que condicionam e enviam os sinais das saídas PWM à placa de *drivers* e do regulador que origina o barramento de +3,3 V. O dimensionamento seguiu o procedimento de projeto do *datasheet*, tomando como referência a seleção típica de componentes indicada para operação em 500 kHz com saída de 5 V (Texas Instruments, 2019).

A frequência de comutação e a partida suave utilizam as configurações padrão do dispositivo: com o pino RT em aberto, o regulador opera na frequência interna de 500 kHz, e, com o pino SS/TRK em aberto, a partida suave segue a rampa interna de 6,3 ms (Texas Instruments, 2019). Nessas condições, a razão cíclica de operação é de aproximadamente $V_{OUT}/V_{IN} = 5/24 \approx 0,208$.

A tensão de saída é definida pelo divisor de realimentação no pino FB, cuja referência interna é $V_{FB} = 1$ V (Texas Instruments, 2019). Adotando-se o resistor superior de 100 k Ω (R76), valor recomendado pelo fabricante para boa imunidade a ruído, o resistor inferior é calculado por:

$$R_{FB(B)} = R_{FB(T)} \left(\frac{V_{FB}}{V_{OUT} - V_{FB}} \right) = (100) \left(\frac{1}{5 - 1} \right) = 25 \text{ k}\Omega \quad (3.14)$$

realizado pela associação em paralelo de R79 e R80, ambos de 49,9 k Ω (24,95 k Ω), coincidindo com o valor indicado na tabela de seleção típica do *datasheet* para esse ponto de operação.

O indutor foi verificado pelo critério de *ripple* de corrente do *datasheet*, que recomenda ondulação entre 20% e 40% da corrente nominal de carga. Com o valor adotado de 8,2 μ H (L4):

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) D}{L f_{sw}} = \frac{(24 - 5)(0,208)}{(8,2)(10^{-6})(500)(10^3)} \approx 0,97 \text{ A} \quad (3.15)$$

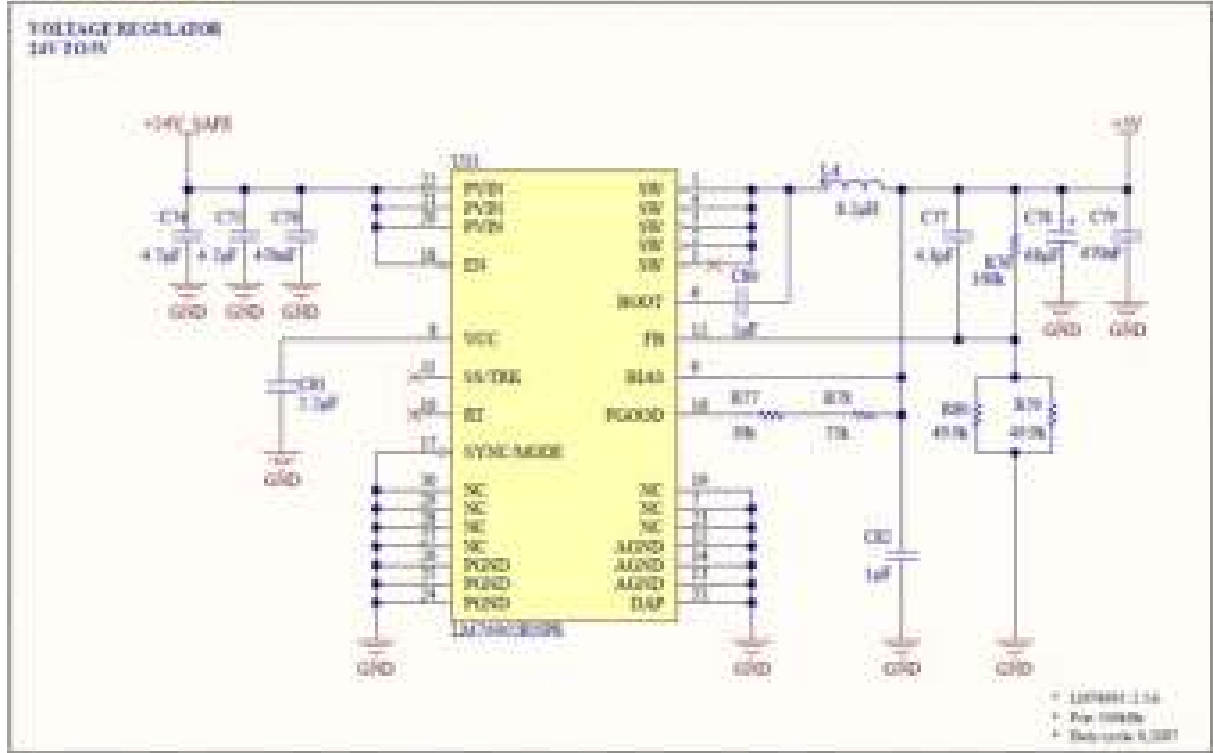
o que corresponde a aproximadamente 39% da corrente nominal de 2,5 A, dentro da faixa recomendada.

A capacitância de saída é constituída pelo capacitor eletrolítico de alumínio C78, de 68 μ F, responsável pelo armazenamento de energia e pela resposta aos transitórios de carga, associado ao capacitor cerâmico C79, de 470 nF, destinado à filtragem das componentes de alta frequência. Um capacitor de *feed-forward* de 4,3 pF (C77), em paralelo com R76, adiciona um zero à malha de realimentação para melhorar a margem de fase, prática recomendada pelo fabricante quando a saída utiliza capacitores de baixa ESR (Texas Instruments, 2019).

Os demais componentes seguem as recomendações do circuito de aplicação típica do fabricante (Texas Instruments, 2019): o pino EN é ligado diretamente ao barramento de +24V_SAFE, permitindo a auto-partida do regulador; o pino BIAS é ligado à saída de +5 V, com capacitor de 1 μ F (C82), para reduzir as perdas do regulador linear interno do dispositivo; o pino PGOOD, de saída dreno-aberto, é polarizado pelos resistores R77 (30 k Ω) e R78 (75 k Ω), conforme requerido pelo fabricante para a utilização do sinal de indicação de tensão adequada; o pino VCC recebe capacitor de desacoplamento de 2,2 μ F (C81); o capacitor de *bootstrap* (C80) conecta os pinos BOOT e SW; e a entrada é

desacoplada por dois capacitores cerâmicos de $4,7 \mu\text{F}$ (C74 e C75) e um de 470 nF (C76). A Figura 9 apresenta o circuito do regulador.

Figura 9 – Circuito do regulador de +24 V para +5 V.



Fonte: Elaborado pela autora (2026).

3.3.1.3 Proteção dos barramentos e regulação de +3,3 V

A proteção dos barramentos internos é realizada por dois fusíveis eletrônicos TPS25200DRVR, um dedicado ao barramento de +5 V (U31) e outro ao de +3,3 V (U30). O dispositivo monitora continuamente a corrente fornecida à carga e a interrompe em caso de sobrecorrente ou curto-circuito, além de proteger o circuito contra sobretensões na entrada (Texas Instruments, 2025a). O limite de corrente é ajustável por meio de um resistor externo conectado ao pino ILIM, segundo as relações fornecidas pelo fabricante:

$$I_{OS(nom)} = \frac{98322}{R_{ILIM}^{1,003}} \quad (3.16)$$

$$I_{OS(min)} = \frac{97399}{R_{ILIM}^{1,015}} - 30 \quad (3.17)$$

$$I_{OS(max)} = \frac{96754}{R_{ILIM}^{0,985}} + 30 \quad (3.18)$$

em que R_{ILIM} é expresso em $k\Omega$ e I_{OS} em mA, válidas na faixa de $33 k\Omega$ a $1100 k\Omega$ (Texas Instruments, 2025a).

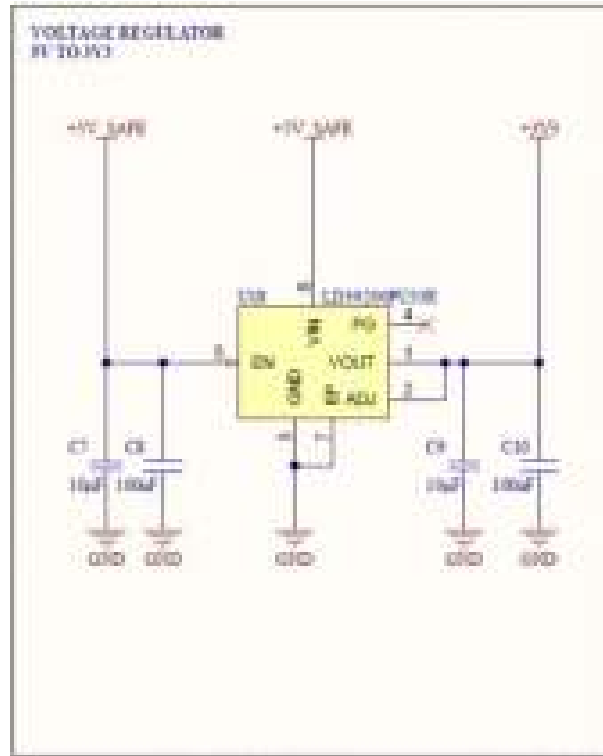
O dimensionamento do resistor ILIM de cada fusível eletrônico foi determinado a partir do levantamento do consumo dos periféricos alimentados pelo respectivo barramento, com base nos valores de corrente de alimentação especificados nos *datasheets* dos componentes. O levantamento contempla tanto os componentes da própria placa de controle quanto as cargas externas por ela alimentadas, uma vez que os fusíveis eletrônicos protegem o barramento em sua totalidade: os módulos de sensoriamento de tensão e de corrente e os circuitos associados aos conectores de saída PWM recebem energia a partir dos barramentos internos, de modo que seu consumo é integralmente refletido nos dispositivos de proteção. A coluna *Localização* identifica a origem de cada parcela. A Tabela 2 apresenta o consumo dos periféricos alimentados pelo barramento de +3,3 V.

Tabela 2 – Consumo dos periféricos alimentados pelo barramento de +3,3 V.

Componente	Qtd.	Localização	Consumo unit.	Total
STM32H745ZIT6	1	Controle	571 mA	571 mA
HLSR 20-P/SP33	8	Mód. corrente	25 mA	200 mA
SN65LVDS391DR	4	Controle	26 mA	104 mA
LAN8742A-CZ-TR	1	Controle	59 mA	59 mA
SN6501QDBVRQ1	1	Controle	35 mA	35 mA
ISO3082DWR	1	Controle	8 mA	8 mA
TLV9002QDRQ1	4	Mód. corrente	170 μ A	0,68 mA
TPS25200DRVR	1	Controle	0,2 mA	0,2 mA
Total				977,9 mA

Fonte: Elaborado pela autora (2026), a partir dos *datasheets* dos componentes.

O barramento de +3,3 V é gerado a partir do +5V_SAFE por meio do regulador linear de baixa queda de tensão LD39200PU33R (U18), de saída fixa em 3,3 V e capacidade de até 2 A. Por se tratar da versão de saída fixa, o pino ADJ atua como *sense* da saída e é conectado diretamente ao pino VOUT, conforme exigido pelo fabricante para a operação adequada do dispositivo (STMicroelectronics, 2017). O pino de habilitação (EN) é ligado diretamente à entrada, mantendo o regulador permanentemente ativo, e o pino de indicação de tensão adequada (*Power Good*) não é utilizado neste projeto. A filtragem é composta pelos capacitores C7 (10 μ F) e C8 (100 nF) na entrada, e C9 (10 μ F) e C10 (100 nF) na saída, atendendo ao valor de 10 μ F recomendado pelo fabricante para assegurar a estabilidade do regulador, complementados pelos capacitores cerâmicos de 100 nF destinados à filtragem das componentes de alta frequência. A Figura 10 apresenta o circuito de regulação.

Figura 10 – Circuito de regulação de tensão de +5 V para +3,3 V.

Fonte: Elaborado pela autora (2026).

Como a corrente de entrada de um regulador linear corresponde, em essência, à sua corrente de saída, o fusível eletrônico do barramento de +5 V precisa suportar tanto as cargas alimentadas diretamente por esse barramento quanto o consumo integral do barramento de +3,3 V. A Tabela 3 apresenta o consumo dos periféricos alimentados diretamente pelo barramento de +5 V, acrescido dessa parcela refletida.

Tabela 3 – Consumo dos periféricos alimentados diretamente pelo barramento de +5 V.

Componente	Qtd.	Localização	Consumo unit.	Total
AMC3330DWE	8	Mód. tensão	41 mA	328 mA
SN74HCT540DWR	16	<i>Drivers</i>	80 μ A	1,28 mA
TLV9002QDRQ1	4	Mód. tensão	170 μ A	0,68 mA
REF2033AIDDCR	1	Mód. tensão	460 μ A	0,46 mA
TPS25200DRVR	1	Controle	0,2 mA	0,2 mA
Total (cargas próprias)				330,6 mA
Total refletido do barramento de +3,3 V				977,9 mA
Total no fusível de +5 V				1308,5 mA

Fonte: Elaborado pela autora (2026), a partir dos *datasheets* dos componentes.

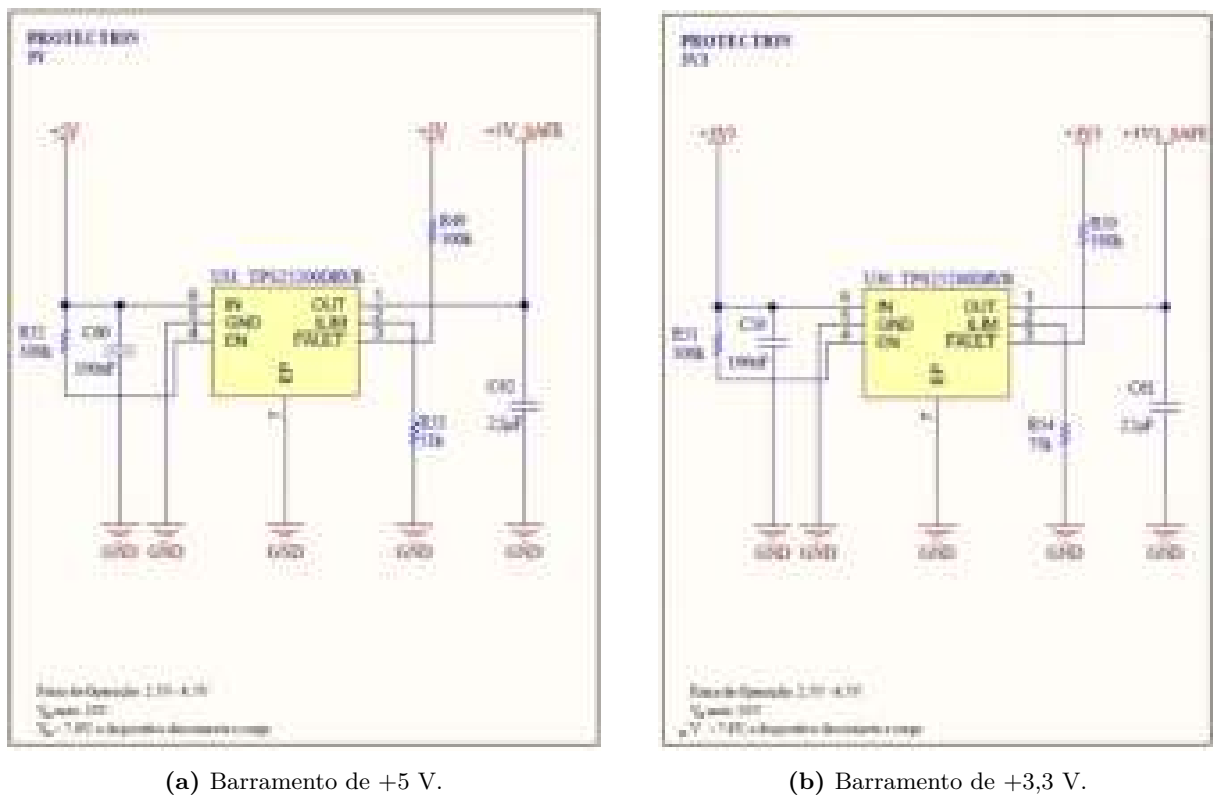
Levantados os consumos totais de cada barramento, os resistores ILIM foram então dimensionados pelas Equações 3.16–3.18. Para o barramento de +3,3 V, adotou-se o resistor R54, de 75 k Ω , que resulta, pela Equação 3.17, em um limite mínimo garantido de aproximadamente 1187 mA, contra os 977,9 mA levantados. Para o barramento de

+5 V, adotou-se o resistor R53, de 51 k Ω , que resulta em um limite mínimo garantido de aproximadamente 1772 mA, contra os 1308,5 mA que somam as cargas próprias desse barramento e a parcela refletida do consumo do barramento de +3,3 V.

Em ambos os casos, os resistores foram dimensionados para assegurar uma margem de aproximadamente 20% a 30% sobre o consumo total levantado, prática recomendada no dimensionamento de proteções de sobrecorrente para acomodar variações de temperatura, tolerância dos componentes e transitórios de carga não capturados no cálculo estático. A escolha dos valores comerciais considerou também a disponibilidade de resistores de 0603 na categoria *basic*, conforme o critério estabelecido na Seção 3.2.

Os dispositivos dispõem, ainda, de um pino de sinalização de falha (FAULT), que indica a ocorrência de condições anormais de operação. A Figura 11 apresenta os circuitos de proteção dos barramentos de +5 V e +3,3 V.

Figura 11 – Circuitos de proteção dos barramentos internos.



Fonte: Elaborado pela autora (2026).

3.3.2 Microcontrolador (STM32H745.SchDoc)

O *sheet* STM32H745.SchDoc reúne as conexões do microcontrolador STM32H745ZIT6, encapsulamento LQFP144, contemplando os circuitos de alimentação e desacoplamento, a configuração do modo de alimentação, a referência analógica, o circuito de *reset*, os pinos de inicialização, os osciladores e a distribuição dos pinos destinados a cada periférico. Para facilitar a leitura, o símbolo do componente foi dividido em múltiplas partes, agrupando

separadamente os bancos de portas de entrada e saída e os pinos de alimentação. O projeto deste *sheet* seguiu as orientações da nota de aplicação AN4938, que estabelece os requisitos mínimos de *hardware* para o desenvolvimento de aplicações com os microcontroladores das linhas STM32H74x e STM32H75x (STMicroelectronics, 2024a).

3.3.2.1 Configuração do modo de alimentação

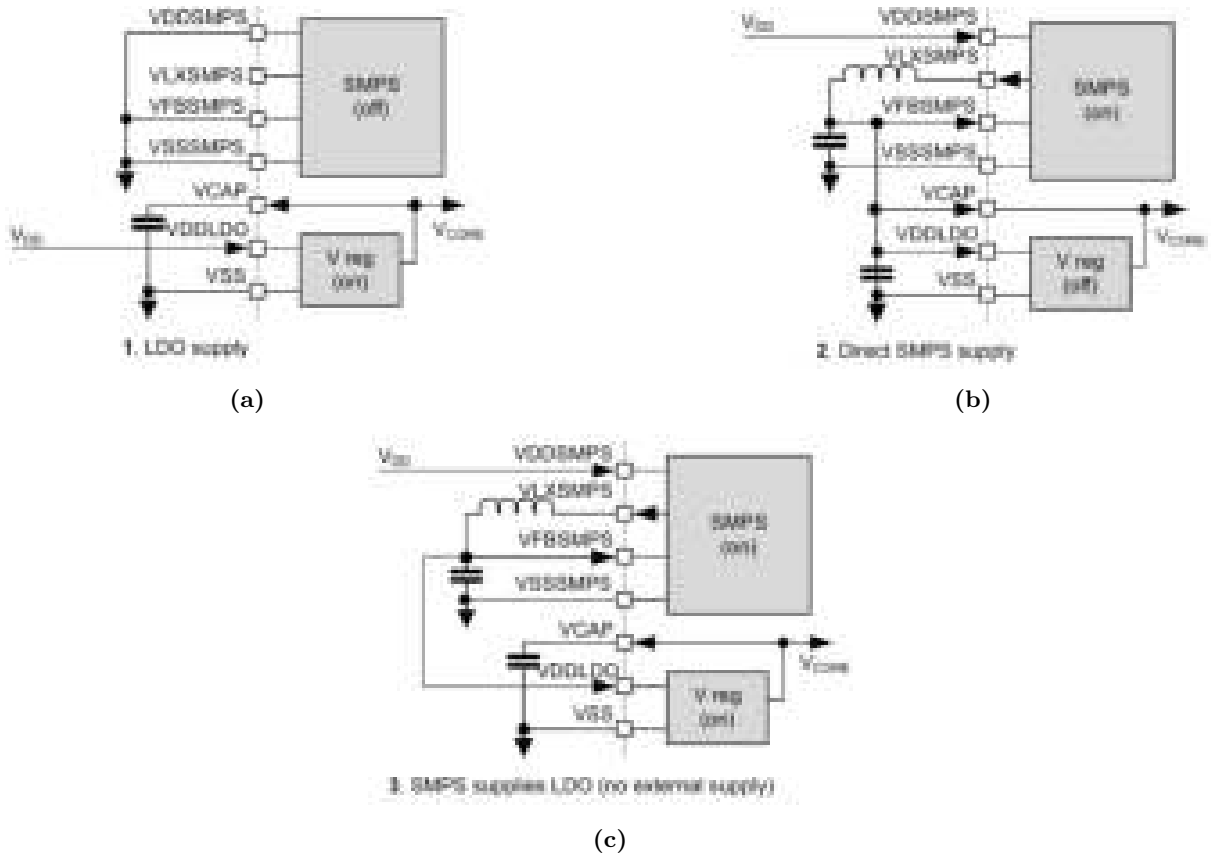
O núcleo do STM32H745 opera com uma tensão inferior à de alimentação da placa, gerada internamente a partir do barramento de 3,3 V. Essa tensão não é fixa: o dispositivo implementa o escalonamento de tensão do núcleo (*voltage scaling* — VOS), mecanismo pelo qual a tensão é ajustada em quatro níveis (VOS0 a VOS3) conforme o desempenho requerido. Níveis de tensão mais elevados permitem frequências de operação maiores, ao custo de maior consumo; o nível máximo, VOS0, corresponde à frequência de 480 MHz, enquanto o VOS1 limita a operação a 400 MHz (STMicroelectronics, 2020b).

Para a geração da tensão do núcleo, o dispositivo dispõe de dois reguladores internos: um regulador linear (LDO) e um conversor comutado (SMPS). O LDO realiza a conversão dissipando a diferença de tensão em calor, enquanto o SMPS opera por comutação, com eficiência significativamente superior. O manual de referência do dispositivo apresenta seis configurações possíveis de alimentação do núcleo, das quais três empregam exclusivamente os reguladores internos e são relevantes para este projeto; as demais envolvem o fornecimento externo da tensão do núcleo ou a utilização do SMPS interno para alimentar circuitos externos à placa, recursos não requeridos nesta aplicação (STMicroelectronics, 2020a). As três configurações de interesse são descritas a seguir (STMicroelectronics, 2020a,b):

- **LDO (*LDO supply*)**, Figura 12 (a): o conversor comutado permanece desligado, e o regulador linear, alimentado diretamente pelo barramento de 3,3 V por meio do pino VDDLDO, gera a tensão do núcleo, disponibilizada nos pinos VCAP. A configuração permite o nível VOS0 e, portanto, a frequência máxima de 480 MHz, porém com a maior dissipação térmica entre as três topologias, uma vez que toda a diferença de tensão é convertida em calor no regulador;
- **SMPS direto (*direct SMPS supply*)**, Figura 12 (b): o regulador linear permanece desligado, e o conversor comutado, alimentado pelo pino VDDSMPS, gera a tensão do núcleo, entregue aos pinos VCAP por meio do indutor externo conectado ao pino VLXSMPS. É a configuração de maior eficiência energética, na qual, contudo, o nível VOS0 não está disponível, limitando a operação ao VOS1 e à frequência máxima de 400 MHz;
- **SMPS + LDO (*SMPS supplies LDO*)**, Figura 12 (c): ambos os reguladores permanecem ativos, em cascata. O conversor comutado reduz a tensão de 3,3 V

para um nível intermediário, selecionável por *software* entre 1,8 V e 2,5 V, aplicado ao pino VDDLDO, e o regulador linear realiza a conversão final para a tensão do núcleo (STMicroelectronics, 2020a). A queda de tensão sobre o LDO torna-se reduzida, diminuindo substancialmente sua dissipação, ao mesmo tempo em que o nível VOS0 permanece acessível. A configuração concilia, assim, a operação na frequência máxima com eficiência energética intermediária.

Figura 12 – Configurações de alimentação do núcleo empregando os reguladores internos: (a) LDO; (b) SMPS direto; (c) SMPS + LDO.



Fonte: Adaptado de (STMicroelectronics, 2020a).

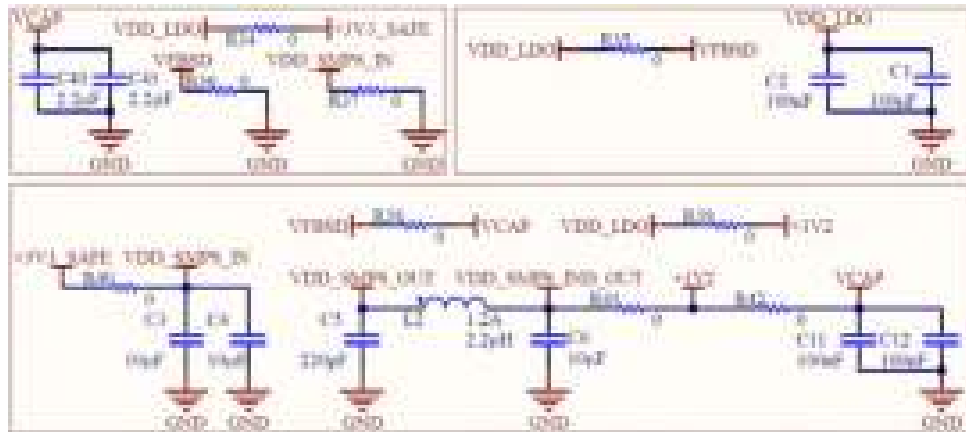
A placa de referência NUCLEO-H745ZI-Q adota a configuração de SMPS direto, conforme indicado pelo sufixo -Q de sua designação (STMicroelectronics, 2019b), o que limita sua frequência de operação a 400 MHz (STMicroelectronics, 2020b).

De modo a não restringir o projeto a uma única topologia, os pinos envolvidos nas diferentes configurações foram interligados por meio de resistores de 0 Ω (R34 a R42), que atuam como *jumpers* soldáveis (STMicroelectronics, 2024a). A configuração efetivamente adotada é definida pela seleção de quais resistores serão montados na placa, o que permite alterar a topologia de alimentação, incluindo o acesso à frequência máxima do dispositivo, sem qualquer modificação no projeto do circuito impresso. Ressalta-se que a configuração selecionada em *hardware* deve ser correspondida pela configuração do *firmware*, uma vez

que o modo de alimentação é igualmente estabelecido por *software* (STMicroelectronics, 2020a).

O circuito do conversor comutado é complementado pelo indutor L2, de $2,2 \mu\text{H}$, e pelos capacitores de filtragem associados (C3, C4, C5 e C6), cujos valores seguem as especificações do fabricante (STMicroelectronics, 2024a). Os pinos VCAP, por sua vez, recebem os capacitores C11 e C12, exigidos pelo regulador linear interno para assegurar sua estabilidade. A Figura 13 apresenta as configurações de alimentação implementadas.

Figura 13 – Configurações de alimentação do microcontrolador.



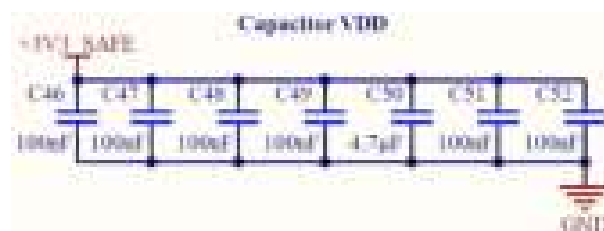
Fonte: Elaborado pela autora (2026).

3.3.2.2 Desacoplamento

A alimentação do microcontrolador é realizada pelo trilho 3V3_SAFE, proveniente do circuito de alimentação da placa. Capacitores de desacoplamento de 100 nF foram associados aos pares de pinos de alimentação e terra (VDD/VSS), conforme recomendação do fabricante, que orienta a inclusão desses capacitores para o maior número possível de pares (STMicroelectronics, 2024a). Esses capacitores são responsáveis por fornecer as correntes transitórias exigidas nas comutações internas do dispositivo, que não poderiam ser supridas com rapidez suficiente pelo barramento de alimentação.

O banco de desacoplamento é composto pelos capacitores C46-C49 e C51-C52 (100 nF), complementados pelo C50 de $4,7 \mu\text{F}$, que atua como reservatório de carga (*bulk*) e estabiliza o barramento diante de variações mais lentas de corrente. A Figura 14 apresenta o banco de capacitores de desacoplamento.

Figura 14 – Capacitores de desacoplamento da alimentação.



Fonte: Elaborado pela autora (2026).

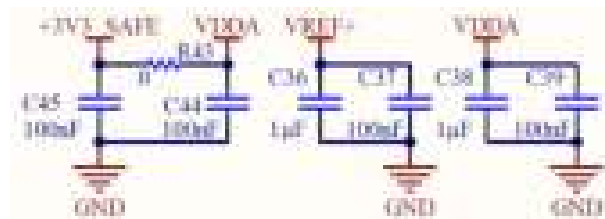
3.3.2.3 Referência analógica

O conversor analógico-digital não realiza a medição direta da tensão de entrada, mas sim de sua razão em relação à tensão de referência aplicada ao pino VREF+, a qual define a escala completa da conversão. Em consequência, qualquer variação nessa referência altera o resultado da medição, ainda que a tensão de entrada permaneça constante, de modo que o erro na referência traduz-se diretamente em erro nas leituras.

Uma vez que a aquisição dos sinais de tensão e corrente constitui uma das funções centrais da placa, a referência foi obtida do VREFBUF, bloco interno ao microcontrolador habilitado por *firmware*, cujo nível de saída é definido na configuração do dispositivo. Nessa condição, o pino VREF+ atua como saída do bloco interno, dispensando o fornecimento externo da referência (STMicroelectronics, 2020a). Os capacitores C36 (1 μ F) e C37 (100 nF) realizam a filtragem desse pino.

A alimentação do bloco analógico (VDDA) é derivada do trilho 3V3_SAFE por meio do resistor R43, de 0 Ω , que estabelece um ponto único de conexão entre os domínios digital e analógico. Os capacitores C45 e C44, de 100 nF, realizam o desacoplamento local de cada lado dessa conexão, complementados por C38 e C39, associados ao pino VDDA. A Figura 15 apresenta o circuito de alimentação analógica e de referência.

Figura 15 – Circuito de alimentação analógica e da tensão de referência do conversor analógico-digital.



Fonte: Elaborado pela autora (2026).

3.3.2.4 Reset e inicialização

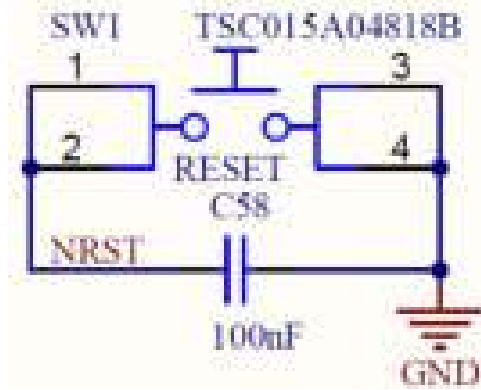
O circuito de *reset* é composto pelo botão SW1 e pelo capacitor C58, de 100 nF, associados ao sinal NRST, permitindo a reinicialização manual do microcontrolador. O capacitor atua na filtragem de ruídos na linha, evitando reinicializações indevidas.

O pino BOOT0 determina a origem da execução do código na inicialização do dispositivo. Mantido em nível baixo, por meio do resistor R45, de 10 k Ω , referenciado ao terra, o microcontrolador executa o programa a partir da memória *flash* interna, configuração adequada ao projeto, já que a gravação do dispositivo é realizada pela interface SWD (STMicroelectronics, 2024a).

O pino PDR_ON habilita o supervisor interno de alimentação, responsável por manter o microcontrolador em estado de reinicialização enquanto a tensão de alimentação permanecer abaixo do limiar mínimo de operação, impedindo que o dispositivo opere em condições de subtensão (STMicroelectronics, 2024a). De modo a não restringir o projeto a

uma única configuração, foram previstos os resistores R46, de 10 k Ω , referenciado ao trilho 3V3_SAFE, e R47, de 10 k Ω , referenciado ao terra, dos quais apenas um será montado na placa, definindo, respectivamente, a habilitação ou a desabilitação do supervisor. A Figura 16 apresenta os circuitos de *reset* e de inicialização.

Figura 16 – Circuitos de *reset* e de configuração de inicialização.



Fonte: Elaborado pela autora (2026).

3.3.2.5 Osciladores

O microcontrolador conta com dois osciladores a cristal externos, implementados na topologia Pierce. O oscilador de alta frequência (HSE) emprega o cristal X322525MOB4SI, de 25 MHz (X3), utilizado como base de tempo principal do sistema. O oscilador de baixa frequência (LSE) emprega o cristal FC-135, de 32,768 kHz (X2), destinado ao RTC, periférico responsável pela contagem de tempo do sistema.

Os capacitores de carga associados a cada cristal foram determinados analiticamente, seguindo as diretrizes da nota de aplicação AN2867 (STMicroelectronics, 2026). A capacitância de carga vista pelo ressonador é definida pelos capacitores externos C_{L1} e C_{L2} , que se encontram em série do ponto de vista do cristal, somados à capacitância parasita C_S , correspondente à soma das capacitâncias dos pinos OSC_IN e OSC_OUT do microcontrolador e das trilhas da placa, conforme a Equação 3.19:

$$C_L = \frac{C_{L1} C_{L2}}{C_{L1} + C_{L2}} + C_S \quad (3.19)$$

Adotando-se $C_{L1} = C_{L2}$, de modo a simplificar o dimensionamento, a expressão pode ser reescrita na forma da Equação 3.20, que fornece diretamente o valor dos capacitores a serem empregados:

$$C_{L1} = C_{L2} = 2(C_L - C_S) \quad (3.20)$$

Cabe destacar que a capacitância de carga C_L é um parâmetro especificado pelo fabricante do cristal e não corresponde diretamente ao valor dos capacitores externos, pois estes se encontram em série. Em todos os cálculos foi adotada uma capacitância parasita

C_S de 3 pF, valor compatível com a faixa típica indicada para a soma das capacitâncias dos pinos do microcontrolador e das trilhas da placa.

Para o oscilador de alta frequência, o cristal selecionado apresenta capacitância de carga nominal de 12 pF. Aplicando-se a Equação 3.20, obtém-se:

$$C_{L1} = C_{L2} = (2)(12 - 3) = 18 \text{ pF} \quad (3.21)$$

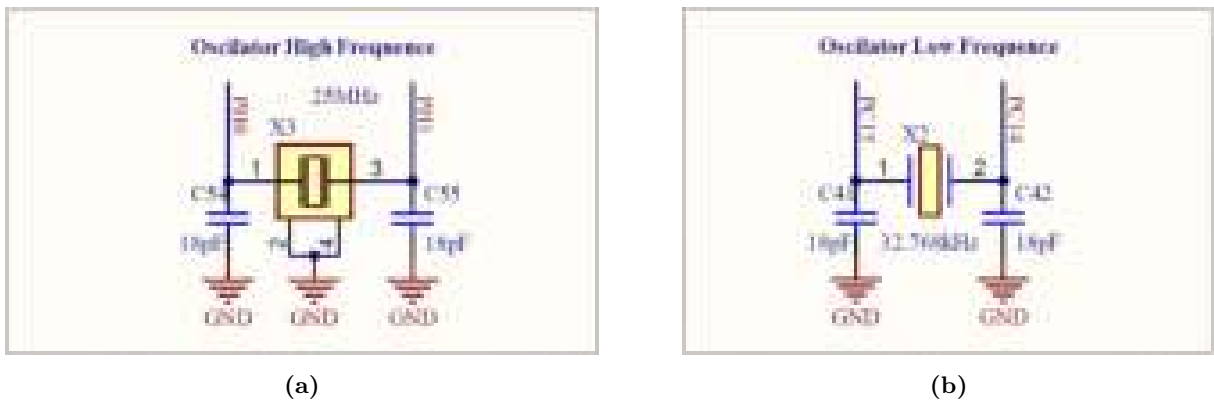
Foram adotados, portanto, capacitores de 18 pF (C54 e C55), valor comercialmente disponível que atende exatamente ao resultado obtido.

Para o oscilador de baixa frequência, o cristal selecionado apresenta capacitância de carga nominal de 12,5 pF, o que conduz a:

$$C_{L1} = C_{L2} = (2)(12,5 - 3) = 19 \text{ pF} \quad (3.22)$$

Uma vez que 19 pF não corresponde a um valor comercial padronizado, foram adotados capacitores de 18 pF (C41 e C42), o valor disponível mais próximo. Essa aproximação resulta em uma capacitância de carga efetiva de 12 pF, o que representa um desvio inferior a 5% em relação ao valor nominal especificado pelo fabricante do cristal. Tal desvio provoca um pequeno aumento na frequência de oscilação, considerado aceitável para a aplicação do RTC. Ressalta-se, ainda, que o valor efetivo de C_S depende do roteamento final da placa, de modo que uma capacitância parasita ligeiramente superior à estimada aproximaria o resultado do valor nominal. A Figura 17 apresenta os circuitos dos osciladores de alta frequência (a) e de baixa frequência (b).

Figura 17 – Circuitos dos osciladores: (a) alta frequência (HSE); (b) baixa frequência (LSE).



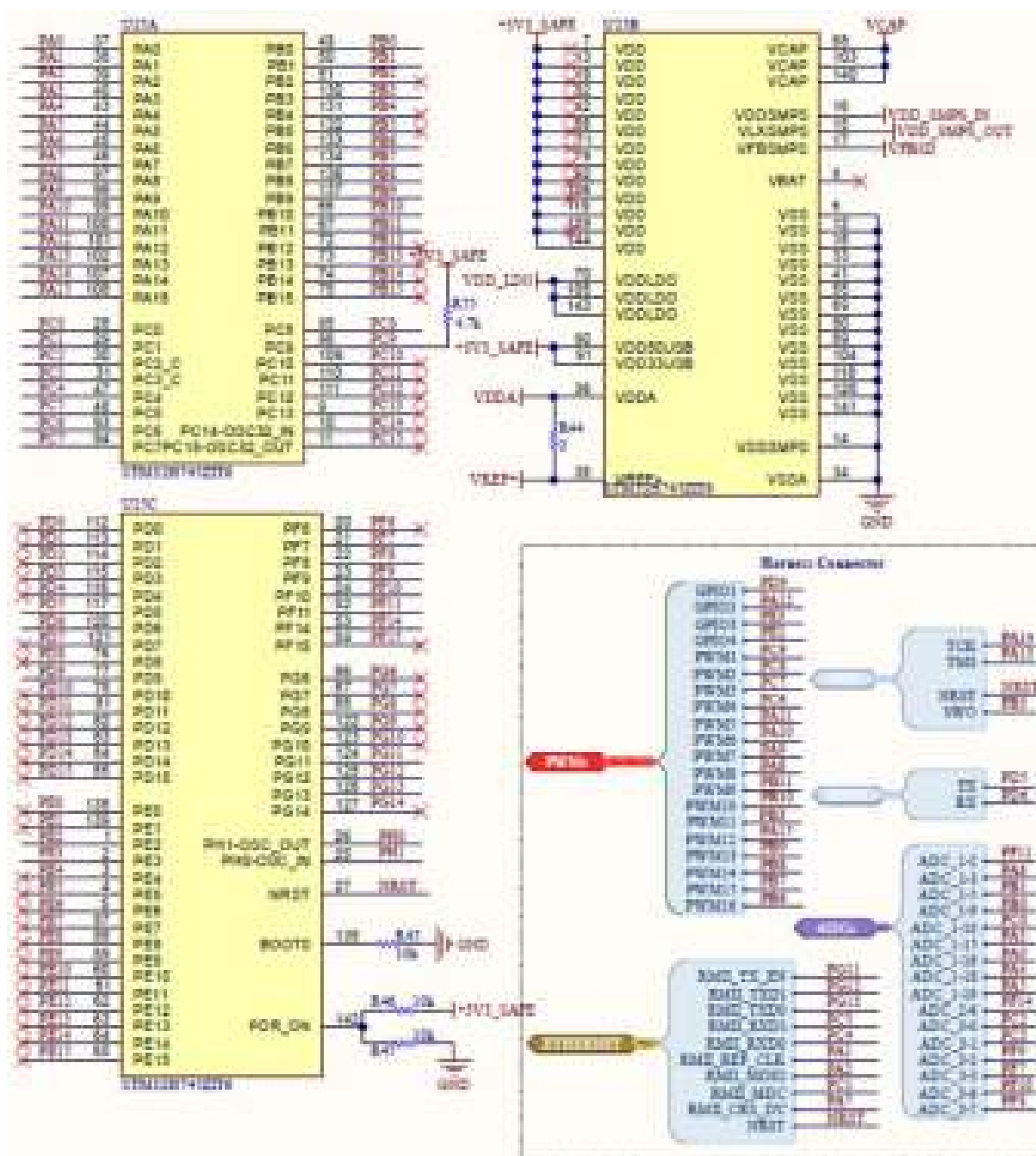
Fonte: Elaborado pela autora (2026).

3.3.2.6 Distribuição dos pinos entre os periféricos

Os sinais destinados aos demais blocos do projeto foram agrupados no *Signal Harness*, o que permite conectar este *sheet* aos demais por meio de ligações únicas. Nesse agrupamento estão contemplados: os dezesseis sinais de PWM (PWM1 a PWM16) e as quatro

saídas digitais destinadas à habilitação dos sinais PWM (GPIO1 a GPIO4); as dezesseis entradas do conversor analógico-digital, associadas aos canais dos conversores internos; os sinais da interface de gravação e depuração SWD (TCK, TMS, SWO e NRST); os sinais de transmissão e recepção da interface RS485; e os sinais da interface Ethernet no padrão RMII (RMII_TX_EN, RMII_TXD0, RMII_TXD1, RMII_RXD0, RMII_RXD1, RMII_REF_CLK, RMII_MDC, RMII_MDIO e RMII_CRS_DV). Os bancos de portas de entrada e saída foram, ainda, disponibilizados integralmente por meio de barramentos (PA[0..15] a PF[0..15]), tornando os pinos não utilizados acessíveis nos conectores da placa. A Figura 18 apresenta o símbolo do microcontrolador e o agrupamento dos sinais no *Signal Harness*.

Figura 18 – Símbolo do microcontrolador e agrupamento dos sinais no *Signal Harness*.



Fonte: Elaborado pela autora (2026).

3.3.3 Conectores (Connectors.SchDoc)

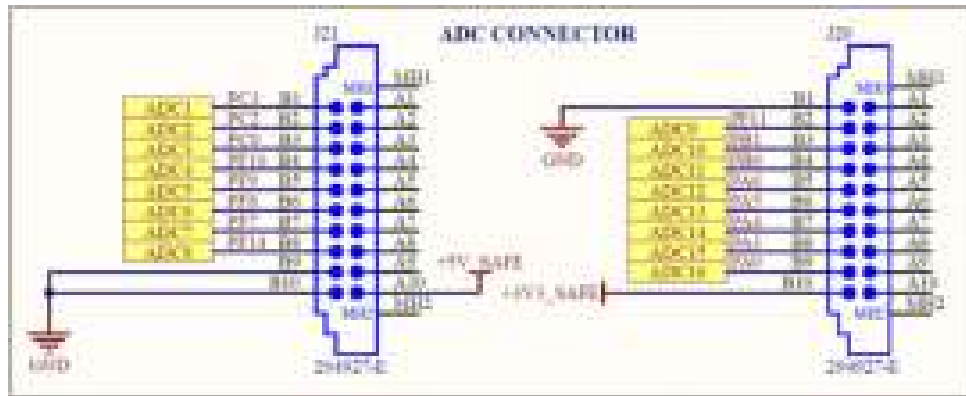
O *sheet Connectors.SchDoc* reúne os conectores destinados à interligação da placa de controle com os módulos de sensoriamento externos e com o gravador utilizado na programação e depuração do microcontrolador.

3.3.3.1 Conectores dos módulos de sensoramento

A conexão com os módulos de sensoramento é realizada por meio de dois conectores do tipo 294927-E, de mesma pinagem: J20, destinado ao módulo de sensoramento

de corrente, e J21, destinado ao módulo de sensoriamento de tensão. Cada conector disponibiliza oito canais analógicos, correspondentes às entradas ADC1 a ADC8 em J21 e ADC9 a ADC16 em J20, além dos sinais de alimentação +5V_SAFE e +3V3_SAFE e do terra da placa, permitindo que a placa de controle alimente os módulos externos e receba, em uma única interface, os sinais já condicionados por eles. A Figura 19 apresenta os conectores dos módulos de sensoriamento.

Figura 19 – Conectores dos módulos de sensoriamento de tensão e corrente.

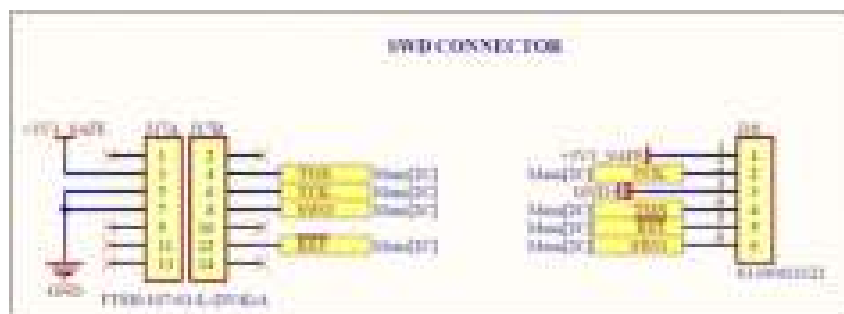


Fonte: Elaborado pela autora (2026).

3.3.3.2 Conectores de gravação

A interface de gravação SWD é disponibilizada em dois conectores distintos, J17 (FTSH-107-01-L-DV-K-A) e J18 (61300611121), que compartilham os mesmos sinais (TCK, TMS, SWO e RST) e a mesma alimentação de referência, +3V3_SAFE. A duplicidade de conectores, com padrões físicos diferentes, torna a placa compatível com gravadores de modelos distintos. A Figura 20 apresenta os conectores de gravação.

Figura 20 – Conectores de gravação SWD.



Fonte: Elaborado pela autora (2026).

3.3.4 Geração dos Sinais PWM (PWMs.SchDoc)

O *sheet* PWMs.SchDoc implementa o condicionamento e a disponibilização dos dezesesseis sinais PWM destinados aos *drivers* das chaves semicondutoras do conversor.

Os sinais provenientes do microcontrolador apresentam nível lógico de 3,3 V e configuração *single-ended*, sendo, portanto, suscetíveis a interferência eletromagnética ao

percorrerem os cabos que conectam a placa de controle aos *drivers*. Considerando o ambiente ruidoso característico de bancadas de eletrônica de potência, optou-se pela conversão desses sinais para o padrão diferencial LVDS (*Low-Voltage Differential Signaling*), que apresenta maior imunidade a ruídos em modo comum e permite maior comprimento de cabo com integridade de sinal.

A conversão é realizada pelos circuitos integrados SN65LVDS391DR (U26 a U29), cada um contendo quatro canais, totalizando as dezesseis saídas diferenciais requeridas (Texas Instruments, 2016). Cada sinal PWM origina, assim, um par diferencial, identificado pelos sufixos A e B. O padrão LVDS pressupõe meio de transmissão com impedância diferencial de 100 Ω , requisito que orientou o roteamento desses pares na placa.

Os dispositivos dispõem de pinos de habilitação (EN12 e EN34), conectados aos sinais GPIO1 a GPIO4 provenientes do microcontrolador, o que permite interromper, por *software*, o envio dos sinais de comando aos *drivers* das chaves semicondutoras. Esses pinos possuem resistores internos de *pull-down*, de modo que, na energização da placa, enquanto os pinos do microcontrolador ainda não foram configurados, os *drivers* permanecem desabilitados e suas saídas em alta impedância, impedindo o envio de sinais indevidos ao conversor (Texas Instruments, 2016). Trata-se, portanto, de característica relevante para a segurança operacional da bancada.

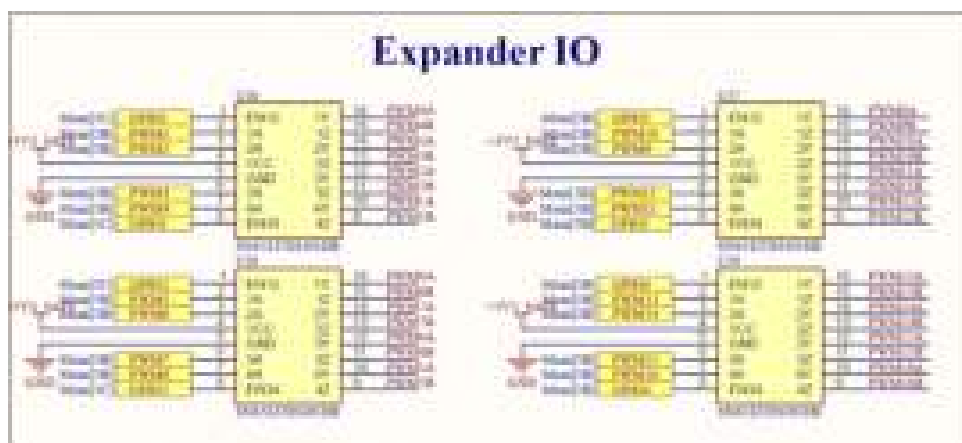
Na saída de cada canal, os pares diferenciais são submetidos a filtros de modo comum MCF0806YGF2-900T01 (T3 a T18), um por par. O dispositivo é constituído por dois enrolamentos sobre um mesmo núcleo magnético, um para cada condutor do par, dispostos de modo que seu comportamento dependa do sentido das correntes que os percorrem. No sinal diferencial, as correntes nos dois condutores possuem mesma intensidade e sentidos opostos, de forma que os fluxos magnéticos gerados se cancelam no núcleo, de modo que o componente apresenta indutância desprezível e o sinal atravessa o filtro praticamente inalterado.

A inclusão desses filtros deve-se às condições previstas de operação da placa. As comutações das chaves semicondutoras produzem variações abruptas de tensão que se acoplam, por capacitâncias parasitas, aos cabos que interligam a placa aos *drivers*, dando origem a correntes de modo comum capazes de exceder a faixa admissível pelo padrão LVDS e comprometer a recepção dos sinais de comando. Os filtros atenuam essas correntes, reduzindo tanto a suscetibilidade da interface ao ruído externo quanto a emissão irradiada pelos próprios cabos.

Os pares são então submetidos aos dispositivos de proteção contra descargas eletrostáticas TPD2E009DRTR, posicionados junto aos conectores, cuja reduzida capacitância preserva a integridade dos sinais de alta velocidade (Texas Instruments, 2015). Os sinais são disponibilizados em dezesseis conectores individuais do tipo 1-1734264-1, os quais fornecem, além do par diferencial, as tensões de +15 V e +5 V destinadas à

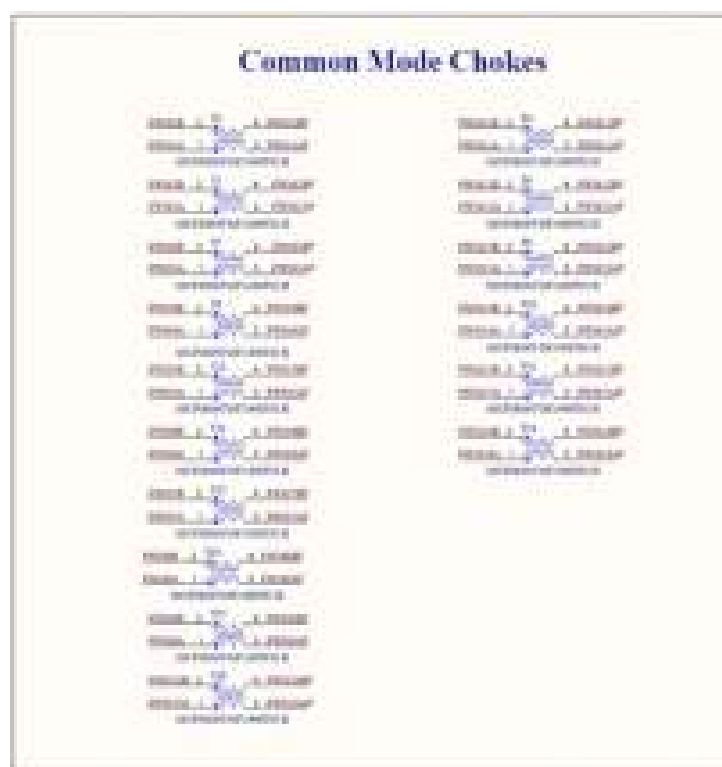
alimentação dos *drivers*, bem como o sinal de GND. A Figura 21 apresenta os circuitos de condicionamento dos sinais PWM; a Figura 22, os filtros de modo comum; e a Figura 23, os conectores de saída com a proteção associada.

Figura 21 – Circuitos de condicionamento dos sinais PWM.



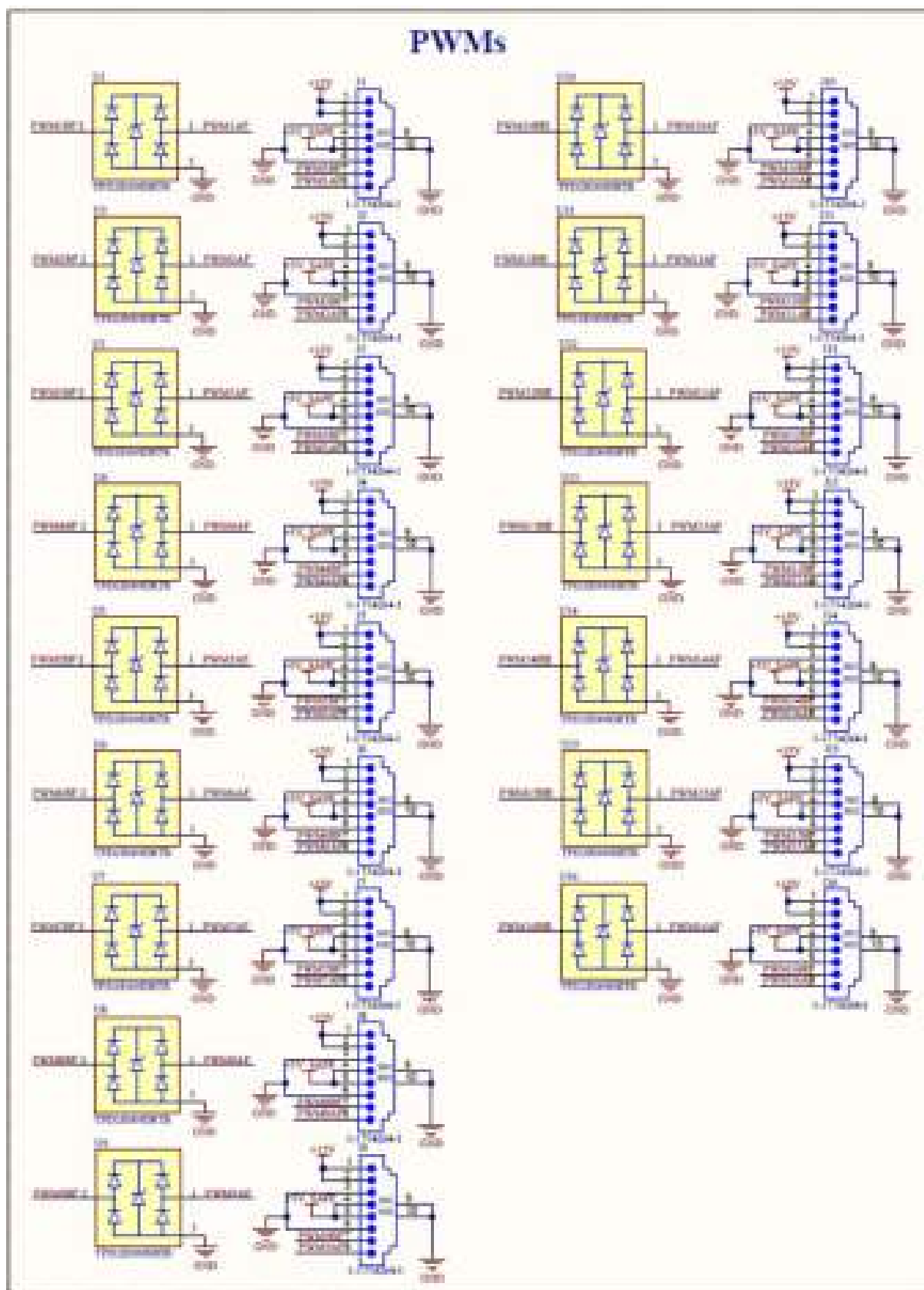
Fonte: Elaborado pela autora (2026).

Figura 22 – Filtros de modo comum dos pares diferenciais PWM.



Fonte: Elaborado pela autora (2026).

Figura 23 – Conectores de saída dos sinais PWM.



Fonte: Elaborado pela autora (2026).

3.3.5 Interface Ethernet (Ethernet.SchDoc)

O *sheet Ethernet.SchDoc* implementa a interface de comunicação em rede da placa. Uma vez que o microcontrolador dispõe do controlador de acesso ao meio integrado, conforme apresentado na Seção 2.3.1, o circuito restringe-se ao transceptor externo, aos componentes de isolamento e à conexão física. Este bloco foi aproveitado diretamente dos arquivos de referência da placa NUCLEO-H745ZI-Q, seguindo as recomendações do fabricante (STMicroelectronics, 2019a).

3.3.5.1 Transceptor PHY

A camada física é implementada pelo transceptor LAN8742A-CZ-TR (U19), que se comunica com o microcontrolador por meio da interface RMII (Microchip Technology, 2015). No projeto, a interface é composta pelos sinais de transmissão (RMII_TX_EN, RMII_TXD0 e RMII_TXD1), de recepção (RMII_RXD0, RMII_RXD1 e RMII_CRSDV) e pela referência de *clock* (RMII_REF_CLK). A configuração e o monitoramento dos registradores internos do transceptor são realizados pela interface de gerência serial (SMI), composta pelos sinais RMII_MDC e RMII_MDIO.

O transceptor admite duas formas de obtenção da referência de *clock*: no modo *REF_CLK In*, o sinal de 50 MHz deve ser fornecido por fonte externa; no modo *REF_CLK Out*, o próprio dispositivo o gera a partir de um cristal de 25 MHz (Microchip Technology, 2015). Optou-se pelo segundo, por permitir o emprego de um cristal fundamental de menor custo, em substituição a osciladores de 50 MHz, opção também adotada pela placa de referência NUCLEO-H745ZI-Q (STMicroelectronics, 2019a). A configuração é estabelecida pelo *strap* nINTSEL, multiplexado com o pino LED2, ao qual foi conectado o resistor R23, de 10 k Ω , referenciado ao terra. Esse pino tem dupla função: durante a energização e a reinicialização do dispositivo, seu nível lógico é capturado como *strap* de configuração, definindo o modo *REF_CLK Out*; após esse instante, o mesmo pino assume sua função normal de saída LED2, indicando o estado da conexão de rede no conector RJ45 (J50) (Microchip Technology, 2015). Essa escolha implica, contudo, a indisponibilidade da função de interrupção do transceptor, uma vez que ela compartilha o mesmo pino físico com a saída de *clock* (nINT/REFCLKO); o estado da conexão de rede passa, assim, a ser obtido por meio da interface de gerência serial, em vez da interrupção.

A base de tempo do transceptor é constituída pelo cristal X322525MOB4SI, de 25 MHz (X1), o mesmo empregado no oscilador de alta frequência do microcontrolador, o que reduz a diversidade de componentes na lista de materiais e, consequentemente, o custo de montagem da placa. Aplicando-se a metodologia descrita na Seção 3.3.2.5, e considerando a capacitância de carga nominal de 12 pF do cristal, obtêm-se capacitores de 18 pF (C19 e C28).

Diversos pinos do transceptor acumulam funções de configuração, denominadas

configuration straps, cujos valores são capturados pelo dispositivo na energização e na reinicialização por meio do sinal nRST (Microchip Technology, 2015). Por meio desse mecanismo, foram definidos o endereço do dispositivo na interface de gerência, estabelecido como zero pelo *strap* PHYAD0 (R10), e o modo de operação do bloco digital, configurado pelos *straps* MODE[2:0] (R1, R2 e R3) no valor 111, correspondente ao modo de plena capacidade, no qual a autonegociação encontra-se habilitada. Nesse modo, o transceptor anuncia ao dispositivo remoto todas as suas capacidades de operação, negociando automaticamente a maior velocidade e o modo de transmissão suportados por ambas as partes. O regulador linear interno de 1,2 V, responsável pela alimentação do núcleo digital do transceptor, foi mantido habilitado, dispensando o fornecimento externo dessa tensão.

O pino RBIAS requer a conexão de um resistor de 12,1 k Ω , com tolerância de 1%, ao terra, responsável por estabelecer a corrente de referência interna do dispositivo (Microchip Technology, 2015). Uma vez que esse valor não corresponde a um componente *basic* no catálogo do fabricante da placa, optou-se pela associação em série dos resistores R11, de 12 k Ω , e R12, de 100 Ω , cuja soma resulta exatamente no valor especificado.

Os demais componentes associados ao transceptor implementam as recomendações do fabricante quanto à polarização e à integridade dos sinais. As linhas bidirecionais receberam resistores de *pull-up* referenciados ao trilho de alimentação: o sinal MDIO, compartilhado entre o microcontrolador e o transceptor (R14), e o sinal de reinicialização nRST, ativo em nível baixo, cujo resistor impede a permanência indevida do dispositivo em estado de reinicialização caso a linha permaneça flutuante (R15). Os resistores R8, R9, R13 e R17, de 33 Ω , realizam a terminação série das linhas da interface RMII, atenuando reflexões nos sinais de alta frequência, enquanto os capacitores C20 e C22, associados ao pino VDDCR, atendem aos valores de desacoplamento especificados pelo fabricante.

3.3.5.2 Isolação e conexão física

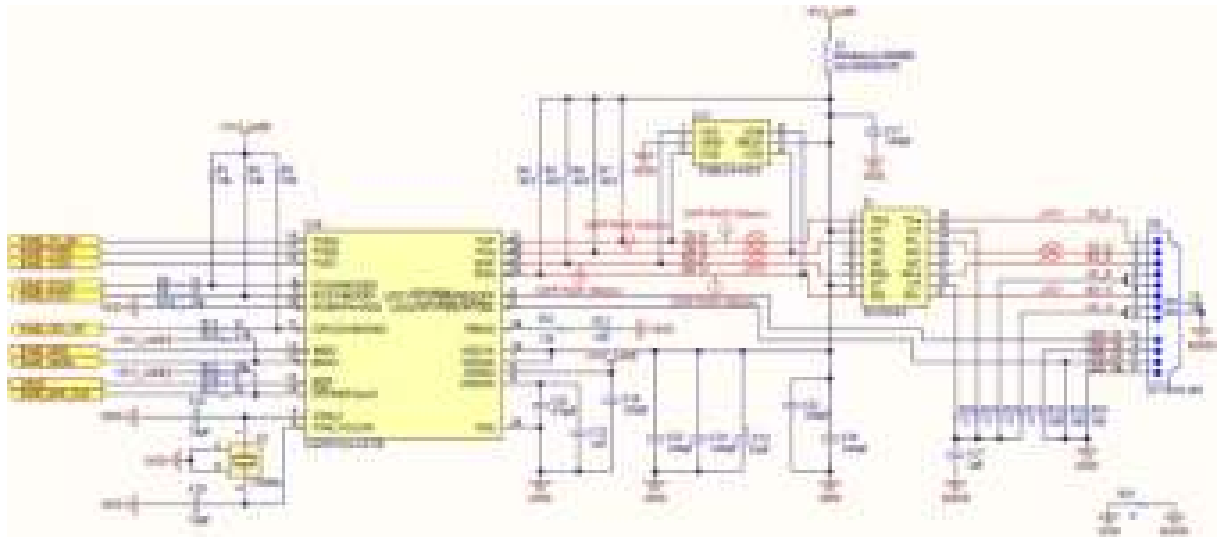
Os pares diferenciais de transmissão (TXP e TXN) e de recepção (RXP e RXN) são acoplados ao meio físico por meio do transformador de isolação H1102NLT (T1), que promove a isolação galvânica entre a placa e o cabo de rede. Junto ao transceptor, os resistores R4 a R7, de 49,9 Ω , realizam a terminação dos pares, os quais foram roteados como pares diferenciais, conforme as regras de projeto estabelecidas pelo fabricante. A alimentação dos terminais centrais dos enrolamentos do transformador é derivada do trilho 3V3_SAFE e filtrada por um *ferrite bead* (L1), de impedância 600 Ω em 100 MHz, associado ao capacitor C17. O emprego do *ferrite bead*, em lugar de um indutor convencional, atenua especificamente o ruído de modo comum de alta frequência proveniente do enrolamento, sem introduzir queda de tensão significativa na alimentação DC do transformador.

A conexão física é efetuada pelo conector RJ45 SS-74301-001 (J50), que incorpora

os indicadores luminosos de estado da rede, comandados pelos pinos LED1 e LED2 do transceptor por meio dos resistores limitadores de corrente R22 e R24, de $300\ \Omega$. O dispositivo USBLC6-4SC6 (U17) protege os pares diferenciais contra descargas eletrostáticas provenientes do cabo.

O circuito emprega um plano de terra dedicado ao lado do conector, identificado como EGND, mantido separado do terra digital da placa e a ele conectado por meio do resistor R25. Os condutores não utilizados do conector são terminados pelos resistores R18 a R21, de $75\ \Omega$, associados ao capacitor C27, de $1\ \text{nF}$, referenciado ao EGND, configuração destinada a proporcionar um caminho de escoamento para as correntes de modo comum provenientes do cabo. A Figura 24 apresenta o circuito completo da interface Ethernet.

Figura 24 – Esquemático da interface de comunicação Ethernet.



Fonte: Elaborado pela autora (2026).

3.3.6 Interface RS485 (RS485.SchDoc)

O *sheet* RS485.SchDoc implementa a interface de comunicação serial diferencial da placa, destinada à troca de dados com outros dispositivos da bancada. O circuito foi desenvolvido com base em soluções de referência de fabricantes de componentes RS485 isolados, contemplando a isolamento galvânica entre o domínio lógico da placa e o barramento de comunicação.

3.3.6.1 Transceptor isolado

A comunicação é implementada pelo transceptor ISO3082DWR (U23), dispositivo que integra, em um único encapsulamento, o transceptor RS485 e a barreira de isolamento galvânica, dispensando o emprego de isoladores digitais externos (Texas Instruments, 2023). A isolamento rompe o laço de terra entre a placa e o barramento, ampliando a faixa admissível de tensão de modo comum e protegendo os circuitos internos contra transitórios provenientes do meio, característica relevante em ambientes com conversores de potência.

O dispositivo comunica-se com o microcontrolador por meio dos sinais RS485_TX e RS485_RX, associados ao periférico USART, e dispõe dos pinos de habilitação do transmissor (DE) e do receptor ($\overline{RE}$), que determinam o sentido da comunicação. Por se tratar de um barramento *half-duplex*, no qual apenas um dispositivo transmite por vez, o controle desses pinos é essencial ao funcionamento da interface.

3.3.6.2 Controle automático de direção

O sentido da comunicação é estabelecido automaticamente, a partir do próprio sinal de transmissão, dispensando o emprego de um pino adicional do microcontrolador. O sinal RS485_TX é aplicado à base do transistor Q1 (BC846A) por meio do resistor R33, de 2,2 k Ω , cujo coletor, associado ao resistor de *pull-up* R32, de 1,2 k Ω , origina o sinal TX_S, que comanda simultaneamente os pinos DE e $\overline{RE}$.

Como o transistor inverte o sinal aplicado à sua base, o circuito opera da seguinte forma: em repouso, quando a linha de transmissão da USART permanece em nível alto, o transistor conduz, mantendo TX_S em nível baixo e, consequentemente, o transmissor desabilitado e o receptor habilitado; ao início da transmissão, o bit de partida leva a linha ao nível baixo, o transistor corta, e TX_S é elevado pelo *pull-up*, habilitando o transmissor. Dessa forma, a placa permanece em modo de recepção por *default*, transmitindo apenas quando há dados a enviar.

Durante a transmissão, os bits em nível alto levam o transmissor novamente ao estado de alta impedância. Nesses intervalos, o barramento é mantido no estado de repouso pela rede de polarização composta pelos resistores R27 e R30, de 4,7 k Ω , referenciados, respectivamente, ao trilho isolado de alimentação e ao terra isolado. Como o estado de repouso do barramento corresponde ao nível lógico alto, a recepção correta desses intervalos é assegurada pelo circuito de *fail-safe* dos transceptores empregados, que estabelece nível lógico definido na ausência de sinal diferencial de amplitude suficiente (Texas Instruments, 2023).

3.3.6.3 Alimentação isolada

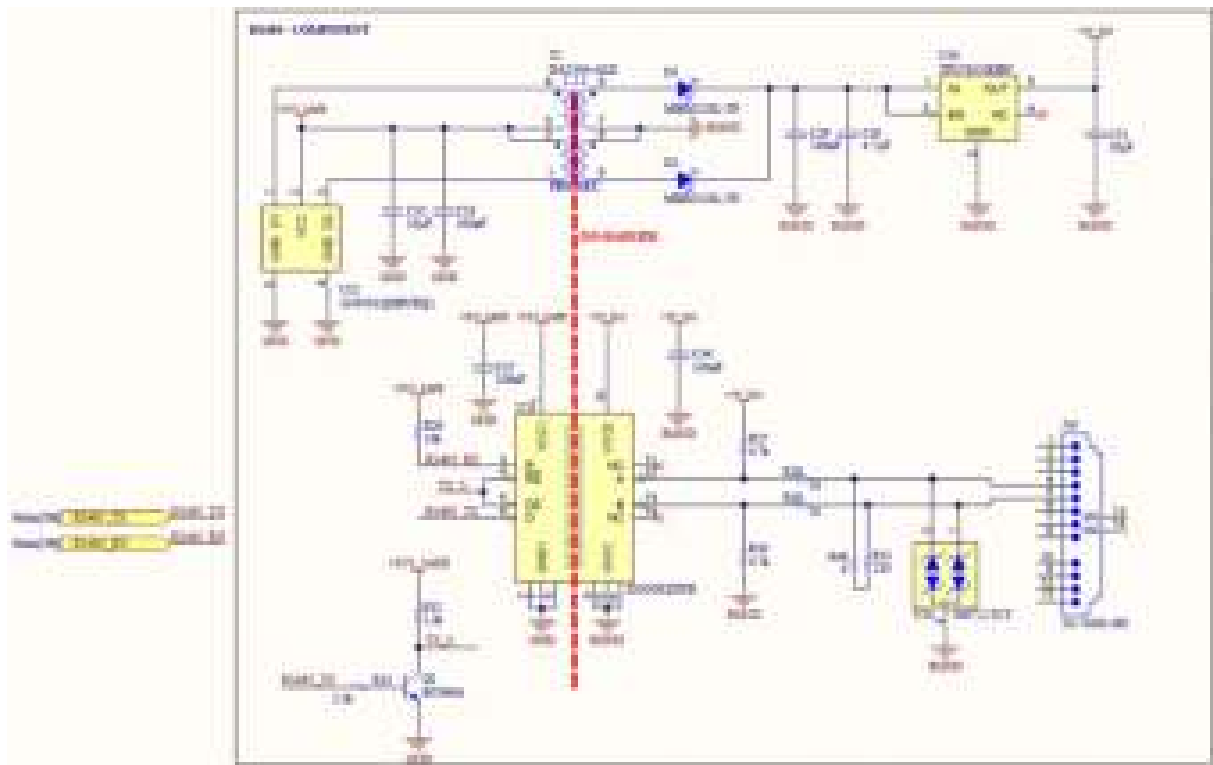
O lado isolado do transceptor requer uma fonte de alimentação independente, uma vez que não pode compartilhar o terra da placa. Essa alimentação é gerada pelo circuito composto pelo acionador SN6501 (U21), que excita o transformador DA2304-ALD (T2) em uma topologia *push-pull*, convertendo a tensão de 3,3 V em uma forma de onda alternada de alta frequência, adequada à transferência de energia através da barreira de isolamento (Texas Instruments, 2021). A tensão no secundário é retificada pelos diodos Schottky D1 e D2 (MBR0520L) e regulada pelo dispositivo TPS76350DBV (U20), que fornece o trilho isolado de +5 V destinado ao lado do barramento (Texas Instruments, 2025b).

3.3.6.4 Terminação e proteção do barramento

O barramento é conectado ao meio físico por meio de um conector RJ45 (J19), sendo os sinais A e B associados aos resistores R28 e R29, de 10 Ω , que limitam a corrente em condições de falta. A proteção contra sobretensões é realizada pelo dispositivo supressor de transitórios SM712.TCT (U24), dimensionado especificamente para as faixas de tensão do padrão RS485.

A terminação do barramento é implementada pelo resistor R31, de 120 Ω , associado em série ao resistor R48, de 0 Ω , que atua como *jumper* soldável. Essa configuração permite habilitar ou desabilitar a terminação conforme a posição da placa no barramento, dado que, no padrão RS485, apenas os dispositivos situados nas extremidades devem ser terminados. A Figura 25 apresenta o circuito completo da interface.

Figura 25 – Esquemático da interface de comunicação RS485.



Fonte: Elaborado pela autora (2026).

3.4 CONFIGURAÇÃO DOS PINOS NO STM32CUBEMX

Definida a arquitetura dos esquemáticos, procedeu-se à configuração dos pinos do microcontrolador no STM32CubeMX. Essa etapa teve por objetivo verificar a viabilidade da atribuição das funções pretendidas aos pinos disponíveis, uma vez que os periféricos do microcontrolador compartilham pinos entre si, de modo que nem toda combinação de funções é realizável simultaneamente. A configuração serviu, portanto, como validação do projeto dos esquemáticos, precedendo a etapa de roteamento da placa.

3.4.1 Sinais PWM

Os dezesseis sinais PWM foram distribuídos entre quatro temporizadores do microcontrolador, empregando-se quatro canais de cada um: TIM1, TIM8, TIM2 e TIM4. Essa distribuição decorre do fato de que cada temporizador dispõe de quatro canais de captura e comparação, sendo necessário, portanto, o emprego de quatro dispositivos para a obtenção das dezesseis saídas requeridas.

A escolha dos temporizadores considerou a diversidade de recursos disponíveis, de modo a ampliar as possibilidades de aplicação da placa. O TIM1 e o TIM8 são temporizadores de controle avançado (*advanced-control*), que dispõem de saídas complementares, recurso voltado ao acionamento de chaves em configurações de braço inversor. O TIM2 e o TIM4 são temporizadores de uso geral, os quais, embora não disponham de saídas complementares, oferecem contadores de 32 e de 16 bits, respectivamente (STMicroelectronics, 2020b). Com isso, o usuário da bancada dispõe de diferentes conjuntos de saídas, podendo selecionar aquelas cujas características melhor se adequem à topologia de conversor a ser implementada.

O microcontrolador dispõe, ainda, do temporizador de alta resolução (HRTIM), periférico dedicado a aplicações de eletrônica de potência, que opera com relógio de temporização de até 480 MHz, frente aos 240 MHz dos demais temporizadores, e conta com dez canais de captura e comparação (STMicroelectronics, 2020b). Na seleção dos pinos, priorizaram-se, sempre que possível, aqueles que admitem tanto as funções dos temporizadores convencionais quanto as do HRTIM. Embora a configuração adotada empregue os temporizadores convencionais, essa escolha preserva a possibilidade de futura migração para o HRTIM, sem necessidade de alteração do *hardware* da placa.

3.4.2 Aquisição dos sinais analógicos

As dezesseis entradas analógicas foram distribuídas entre os três conversores analógico-digitais do microcontrolador, conforme apresentado na Tabela 4. A atribuição foi condicionada à disponibilidade dos pinos remanescentes, uma vez que a alocação dos sinais PWM e das interfaces de comunicação foi realizada prioritariamente.

Tabela 4 – Distribuição das entradas analógicas entre os conversores.

Conversor	Canais	Entradas
ADC1	9	IN2, IN3, IN5, IN9, IN10, IN15, IN16, IN18, IN19
ADC2	1	IN6
ADC3	6	IN0, IN1, IN2, IN3, IN6, IN7
Total		16 entradas

Fonte: Elaborado pela autora (2026).

3.4.3 Interfaces de comunicação e gravação

A interface Ethernet foi habilitada no núcleo Cortex-M7, no modo RMI, em conformidade com o transceptor externo adotado. A comunicação RS485 foi implementada por meio do periférico USART2, com os sinais de transmissão e recepção atribuídos aos pinos PD5 e PD6, respectivamente. A interface de gravação SWD foi habilitada nos pinos correspondentes, contemplando os sinais TCK, TMS e SWO.

A Figura 26 apresenta a configuração dos pinos do microcontrolador obtida na ferramenta.

Figura 26 – Configuração dos pinos do microcontrolador no STM32CubeMX.



Fonte: Elaborado pela autora (2026).

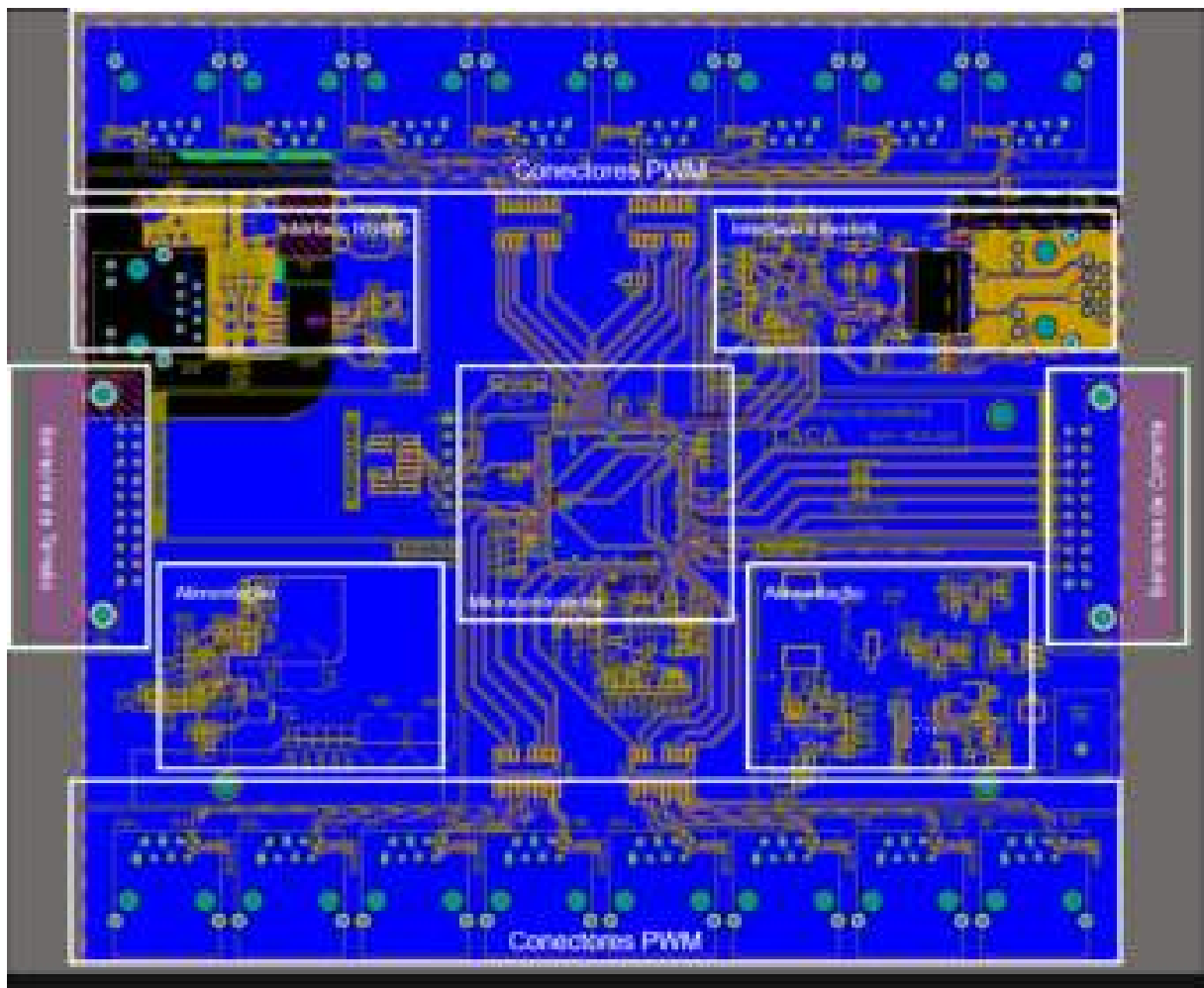
3.5 DESENVOLVIMENTO DO LAYOUT

Concluído o desenvolvimento dos esquemáticos e validada a atribuição dos pinos, procedeu-se ao projeto do *layout* da placa de circuito impresso no Altium Designer. Nesta etapa foram definidos o *stack-up* da placa, o posicionamento dos componentes, o rote-

amento das trilhas e as regras de projeto, observando-se as capacidades de fabricação estabelecidas pelo fabricante (JLCPCB, 2026e).

A placa apresenta dimensões de 140 mm por 155 mm, determinadas principalmente pela necessidade de acomodar os dezesseis conectores individuais de saída PWM, além dos conectores de sensoriamento e das interfaces de comunicação, contando ainda com furos destinados à fixação mecânica. O posicionamento dos componentes seguiu o agrupamento funcional estabelecido nos esquemáticos, mantendo-se cada bloco em uma região distinta da placa: os conectores de saída PWM foram distribuídos ao longo das bordas superior e inferior e o microcontrolador foi posicionado na região central, de modo a reduzir o comprimento das conexões aos demais blocos. A Figura 27 apresenta o *layout* da placa com a identificação das regiões dos blocos funcionais. As imagens individuais de cada camada encontram-se na Seção 4.1, e a vista completa do *layout*, sem as identificações dos blocos, no Apêndice B.

Figura 27 – *Layout* da placa de controle com a identificação dos blocos funcionais.



Fonte: Elaborado pela autora (2026).

3.5.1 *Stack-up* da placa

A placa foi projetada em seis camadas, configuração adotada em razão da densidade de sinais do projeto e da necessidade de assegurar planos de referência contínuos aos pares diferenciais das interfaces de comunicação, conforme os critérios apresentados na Seção 2.7.3. A opção está igualmente em conformidade com a nota de aplicação AN4938 (STMicroelectronics, 2024a), que recomenda, para aplicações baseadas na família STM32H7, a adoção de um *stack-up* de quatro ou seis camadas, com camadas dedicadas ao plano de terra e ao plano de alimentação, o que proporciona bom desacoplamento e efeito de blindagem. A Tabela 5 apresenta a função de cada camada.

Tabela 5 – Função das camadas da placa de controle.

Camada	Função
L1 (<i>Top</i>)	Plano de terra
L2	Alimentação
L3	Plano de terra
L4	Roteamento de sinais
L5	Plano de terra
L6 (<i>Bottom</i>)	Roteamento de sinais e montagem dos componentes

Fonte: Elaborado pela autora (2026).

No *stack-up* adotado, a camada de alimentação encontra-se posicionada entre dois planos de GND, e cada camada de sinal é adjacente a um plano de GND. Todos os componentes foram posicionados na camada inferior, para que a montagem seja realizada em uma única face, o que reduz o custo do processo de montagem automatizada.

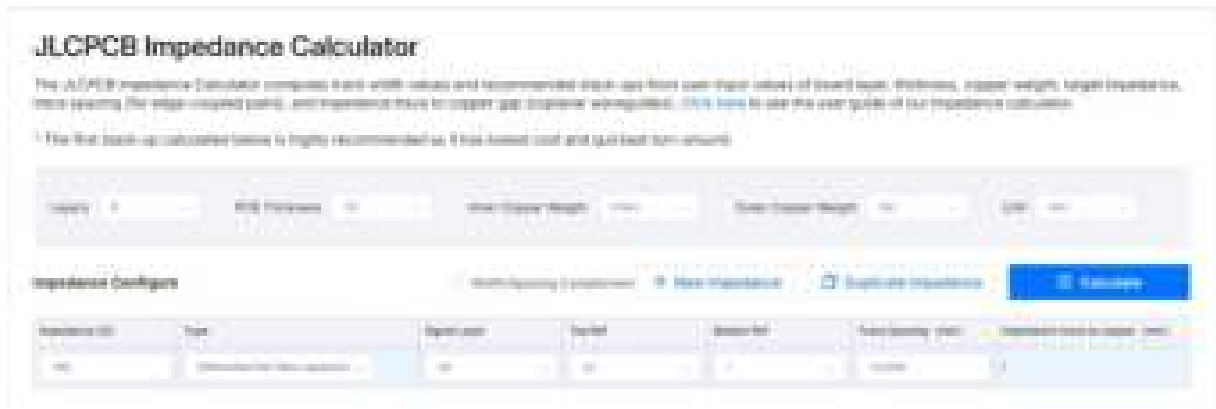
Quanto à construção física, adotou-se o empilhamento padrão JLC06161H-3313 do fabricante JLCPCB, com espessura final de 1,6 mm. A escolha decorreu de dois fatores: trata-se da opção de menor custo do fabricante com suporte a controle de impedância, e seus *prepregs* finos do tipo 3313 (0,0994 mm) junto às camadas externas proporcionam forte acoplamento entre as camadas de sinal e os planos de referência adjacentes, resultando em larguras de trilha compatíveis com a densidade de conexões do microcontrolador (JLCPCB, 2026c). O empilhamento é composto por camadas externas de cobre de 1 oz (0,035 mm), camadas internas de 0,5 oz (0,0152 mm), dois núcleos de 0,55 mm e um *prepreg* 2116 (0,1088 mm) entre as camadas centrais. A Tabela 6 apresenta a construção completa.

Tabela 6 – Construção física do empilhamento JLC06161H-3313.

Camada	Material	Espessura (mm)
L1	Cobre 1 oz	0,0350
—	Prepreg 3313	0,0994
L2	Cobre 0,5 oz	0,0152
—	Núcleo FR-4	0,5500
L3	Cobre 0,5 oz	0,0152
—	Prepreg 2116	0,1088
L4	Cobre 0,5 oz	0,0152
—	Núcleo FR-4	0,5500
L5	Cobre 0,5 oz	0,0152
—	Prepreg 3313	0,0994
L6	Cobre 1 oz	0,0350

Fonte: Elaborado pela autora (2026), a partir das especificações do fabricante (JLCPCB, 2026c).

Definido o empilhamento, as dimensões das trilhas dos pares diferenciais de 100 Ω , interface Ethernet e saídas PWM em padrão LVDS, foram determinadas na calculadora de impedância do próprio fabricante, que utiliza os parâmetros reais de material e espessura do empilhamento selecionado (JLCPCB, 2026b). Para os sinais roteados na camada L6, tendo como referência o plano de terra da camada L5, a ferramenta indicou largura de trilha de 0,1191 mm e espaçamento de 0,2032 mm entre as trilhas do par, conforme apresentado na Figura 28.

Figura 28 – Resultado do cálculo de impedância para os pares diferenciais de 100 Ω na camada L6.

Fonte: Elaborado pela autora (2026), utilizando a calculadora de impedância da JLCPCB (JLCPCB, 2026b).

Esses valores foram configurados no Altium Designer como regras de roteamento de pares diferenciais (*Differential Pairs Routing*), aplicadas às classes dos pares da interface Ethernet e das saídas LVDS, de modo que o roteamento interativo respeitasse automaticamente a geometria calculada e que a verificação de regras de projeto acusasse qualquer desvio.

3.5.2 Regras de projeto e roteamento

As regras configuradas no Altium Designer contemplam as larguras mínimas de trilha, os afastamentos mínimos entre condutores e as dimensões de furos e vias admitidas pelo processo da JLCPCB (JLCPCB, 2026e), o que assegura a manufaturabilidade do projeto e evita a rejeição dos arquivos na etapa de fabricação.

O dimensionamento das trilhas foi verificado por meio do *software* Saturn PCB Toolkit (Saturn PCB Design, 2023). A ferramenta foi empregada para determinar a largura mínima necessária às trilhas de alimentação, em função da corrente conduzida, da espessura do cobre e da elevação de temperatura admissível, bem como para verificar os afastamentos mínimos entre condutores submetidos a diferentes potenciais, garantindo o isolamento adequado entre eles.

O posicionamento e o roteamento de cada bloco funcional seguiram as diretrizes de *layout* estabelecidas pelos fabricantes dos respectivos componentes, presentes nos *datasheets* e nas notas de aplicação utilizadas ao longo do projeto, complementadas pelo projeto de referência da placa NUCLEO-H745ZI-Q (STMicroelectronics, 2019a). De modo geral, essas diretrizes orientaram o posicionamento dos capacitores de desacoplamento imediatamente adjacentes aos pinos de alimentação dos dispositivos, com conexões curtas e largas aos planos de terra e de alimentação, de modo a reduzir a indutância série, bem como a redução do comprimento das trilhas nos sinais mais sensíveis. Nos sinais de alta frequência, procurou-se ainda minimizar o número de vias, uma vez que cada transição entre camadas introduz uma descontinuidade de impedância e, conseqüentemente, reflexões no sinal (STMicroelectronics, 2024a).

3.5.3 Verificação do projeto

Concluído o roteamento, o projeto foi submetido à verificação de regras de projeto (DRC) do Altium Designer, procedimento que confronta o *layout* com o conjunto de regras previamente estabelecido, identificando violações de afastamento, de largura de trilha, de dimensões de furos e de conexões não roteadas. As inconformidades apontadas foram corrigidas, e a verificação final não acusou violações, atestando a conformidade do projeto com as regras definidas.

3.6 GERAÇÃO DOS ARQUIVOS DE FABRICAÇÃO

Concluída a verificação do projeto, a etapa final consistiu na geração dos arquivos necessários à fabricação e à montagem da placa, submetidos à JLCPCB. Três conjuntos de arquivos foram exigidos pelo processo.

Os arquivos *Gerber* descrevem, individualmente, cada camada física da placa, incluindo as camadas condutoras, as máscaras de solda, as camadas de serigrafia e o contorno

mecânico da placa. Esses arquivos constituem o formato padrão da indústria para a comunicação entre o projeto e o processo de fabricação, sendo acompanhados do arquivo de furação (*NC Drill*), que especifica a posição e o diâmetro de cada furo da placa.

A lista de materiais (BOM) relaciona todos os componentes empregados no projeto, com seus respectivos designadores, quantidades e códigos de identificação. Uma vez que a montagem é realizada pelo próprio fabricante, cada componente foi associado ao seu código correspondente no catálogo da LCSC, de modo a permitir a vinculação automática com o estoque disponível. A lista de materiais completa encontra-se no Apêndice A.

O arquivo de posicionamento (*Pick and Place*) informa as coordenadas, a orientação e a face de montagem de cada componente, sendo utilizado pelo equipamento de montagem automatizada para o posicionamento correto dos dispositivos sobre a placa.

Todos os arquivos foram gerados a partir do Altium Designer e verificados previamente à submissão, por meio da visualização dos arquivos *Gerber*, procedimento que permitiu confirmar a correspondência entre os arquivos gerados e o projeto desenvolvido. Os arquivos foram então submetidos à JLCPCB, cuja plataforma realiza a verificação automática dos conjuntos enviados.

Com a geração desses arquivos, encerra-se o escopo deste trabalho, que compreendeu o desenvolvimento completo do projeto da placa de controle, desde a definição da arquitetura até a obtenção dos arquivos aptos à fabricação. A fabricação física, a montagem e a validação experimental da placa constituem etapas subsequentes, não contempladas neste trabalho.

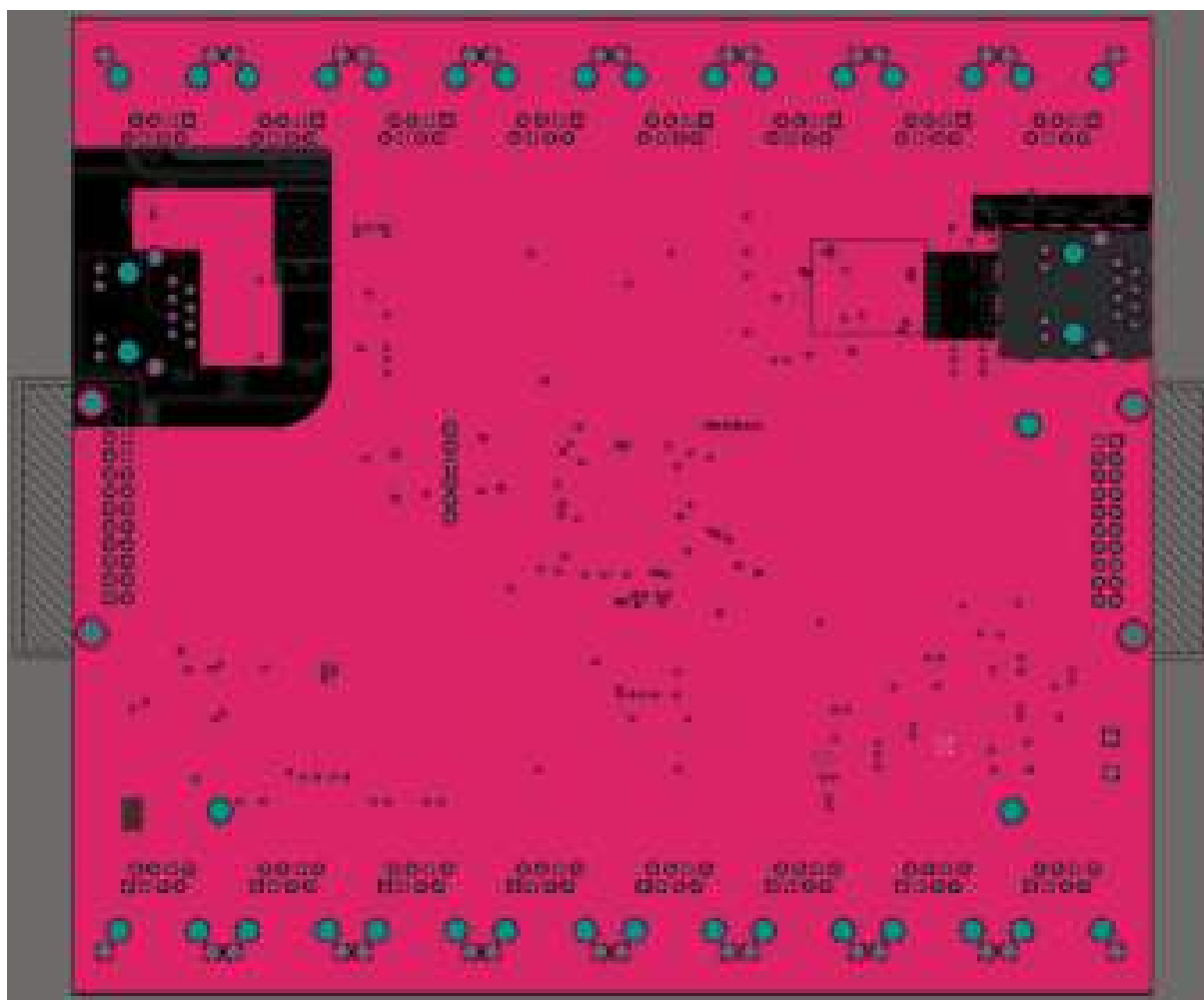
4 RESULTADOS

Este capítulo apresenta os resultados obtidos no desenvolvimento da placa de controle: o *layout* concluído, a visualização tridimensional da placa, a integração com os módulos de sensoriamento da bancada e a validação dos arquivos de fabricação junto ao fabricante.

4.1 LAYOUT CONCLUÍDO

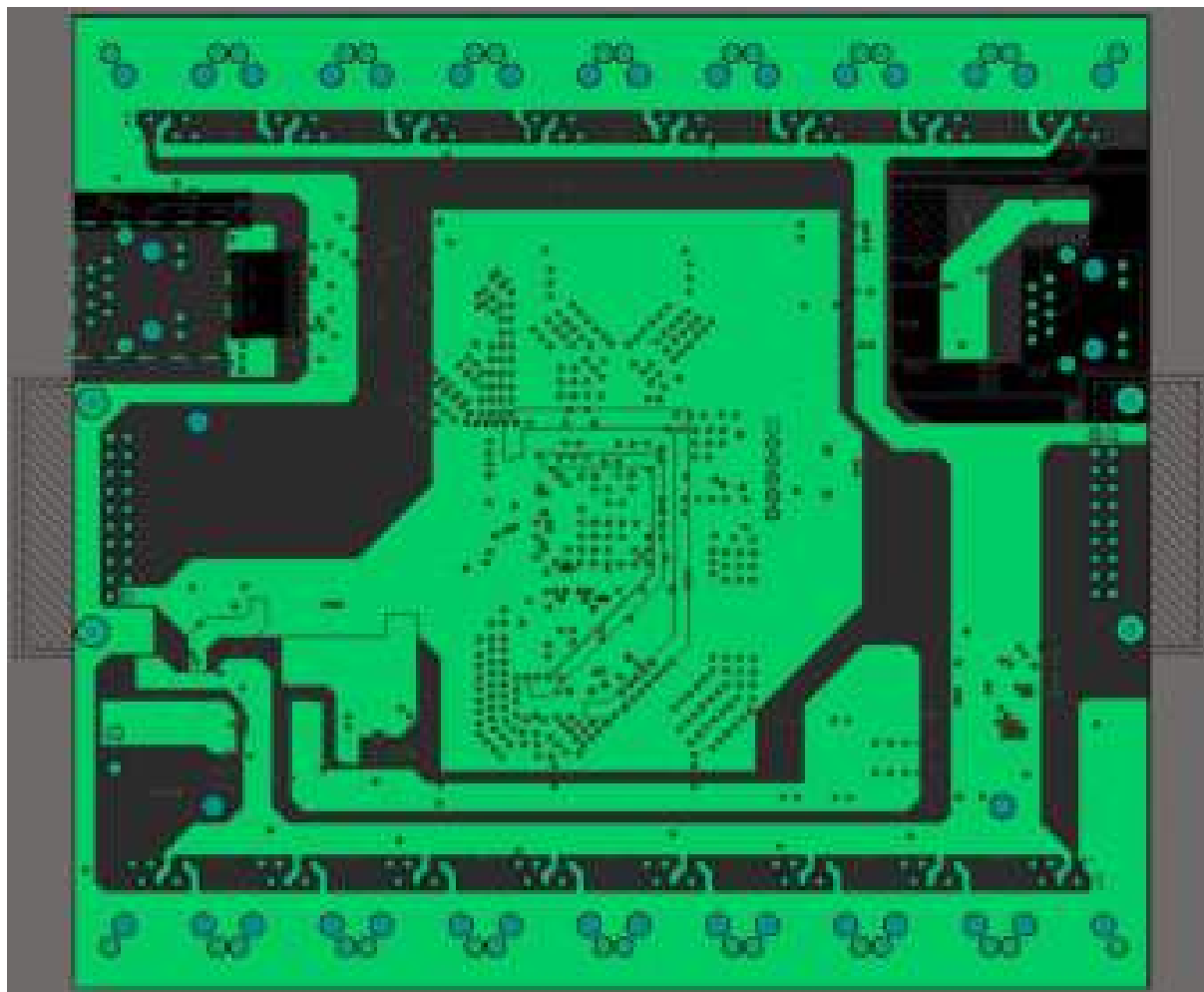
O roteamento da placa foi concluído em seis camadas, com todos os componentes posicionados na face inferior. As figuras a seguir apresentam cada camada individualmente, na ordem em que se dispõem no empilhamento.

A camada L1, situada na face superior da placa, é ocupada majoritariamente por um plano de terra. Assim como nas demais camadas, o plano apresenta regiões vazadas sob os componentes de isolamento das interfaces RS485 e Ethernet, além da região destinada ao terra isolado da interface RS485 (RGND). Há ainda um polígono destinado a uma conexão que não pôde ser roteada nas camadas de sinal.

Figura 29 – Camada superior (L1) — plano de terra.

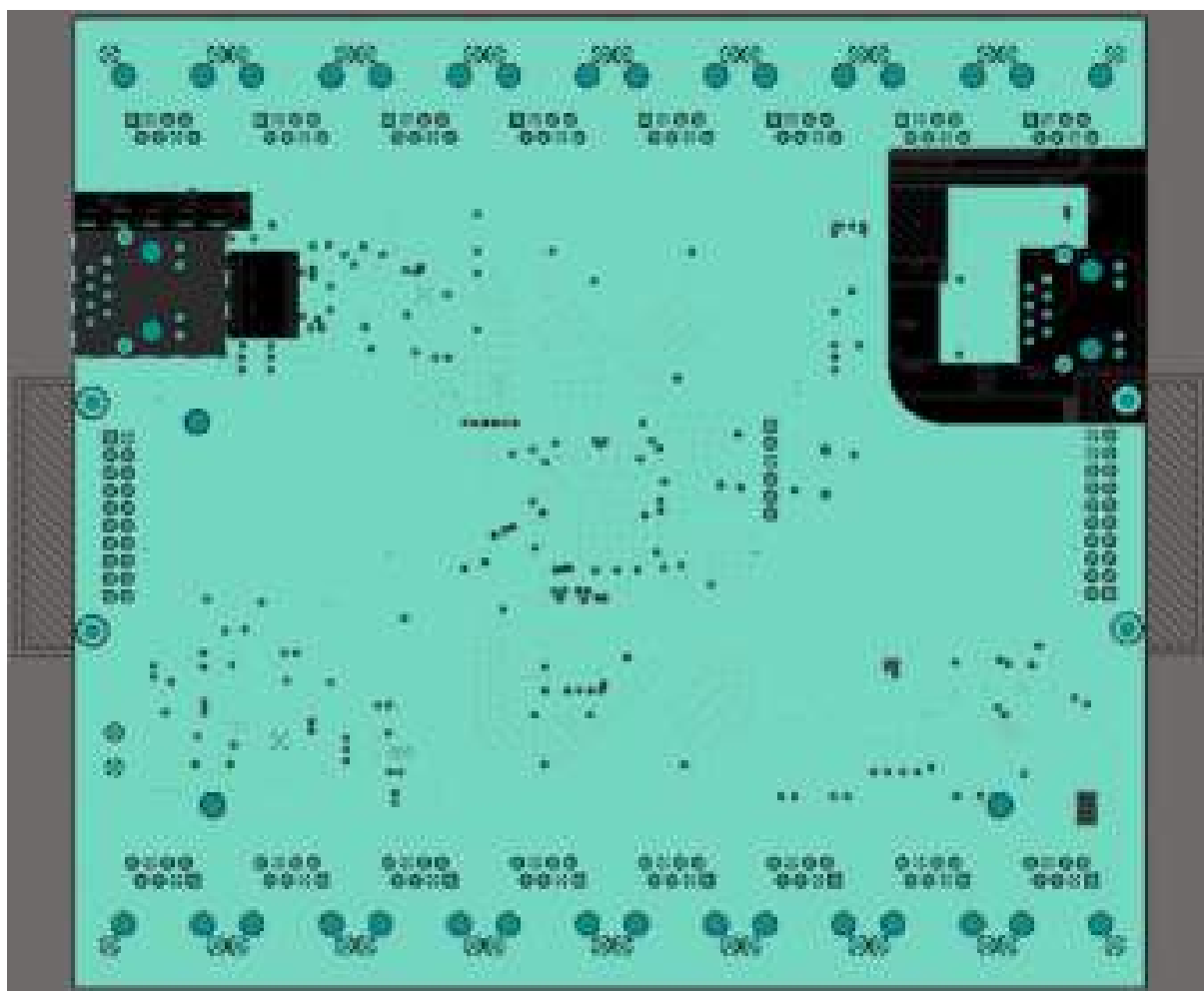
Fonte: Elaborado pela autora (2026).

A camada L2 é destinada à distribuição da alimentação. O plano encontra-se seccionado em regiões independentes, cada uma associada a um dos barramentos gerados pelo circuito de alimentação, de modo que cada trecho de cobre alimenta os componentes situados na região correspondente da placa.

Figura 30 – Camada L2 — plano de alimentação.

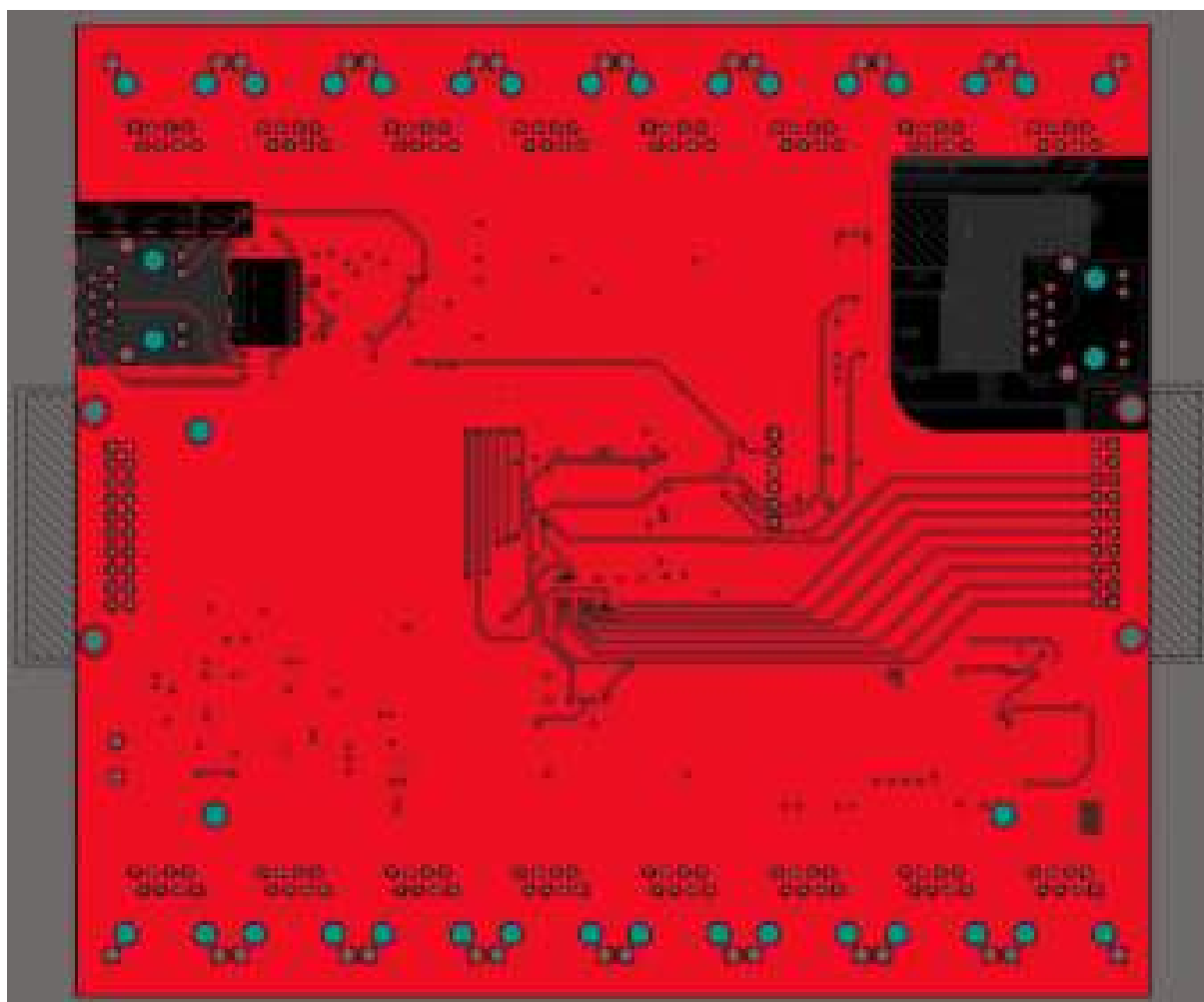
Fonte: Elaborado pela autora (2026).

A camada L3 constitui o segundo plano de terra, situado entre o plano de alimentação e a camada de sinal L4, de modo que ambas disponham de um plano de referência adjacente.

Figura 31 – Camada L3 — plano de terra.

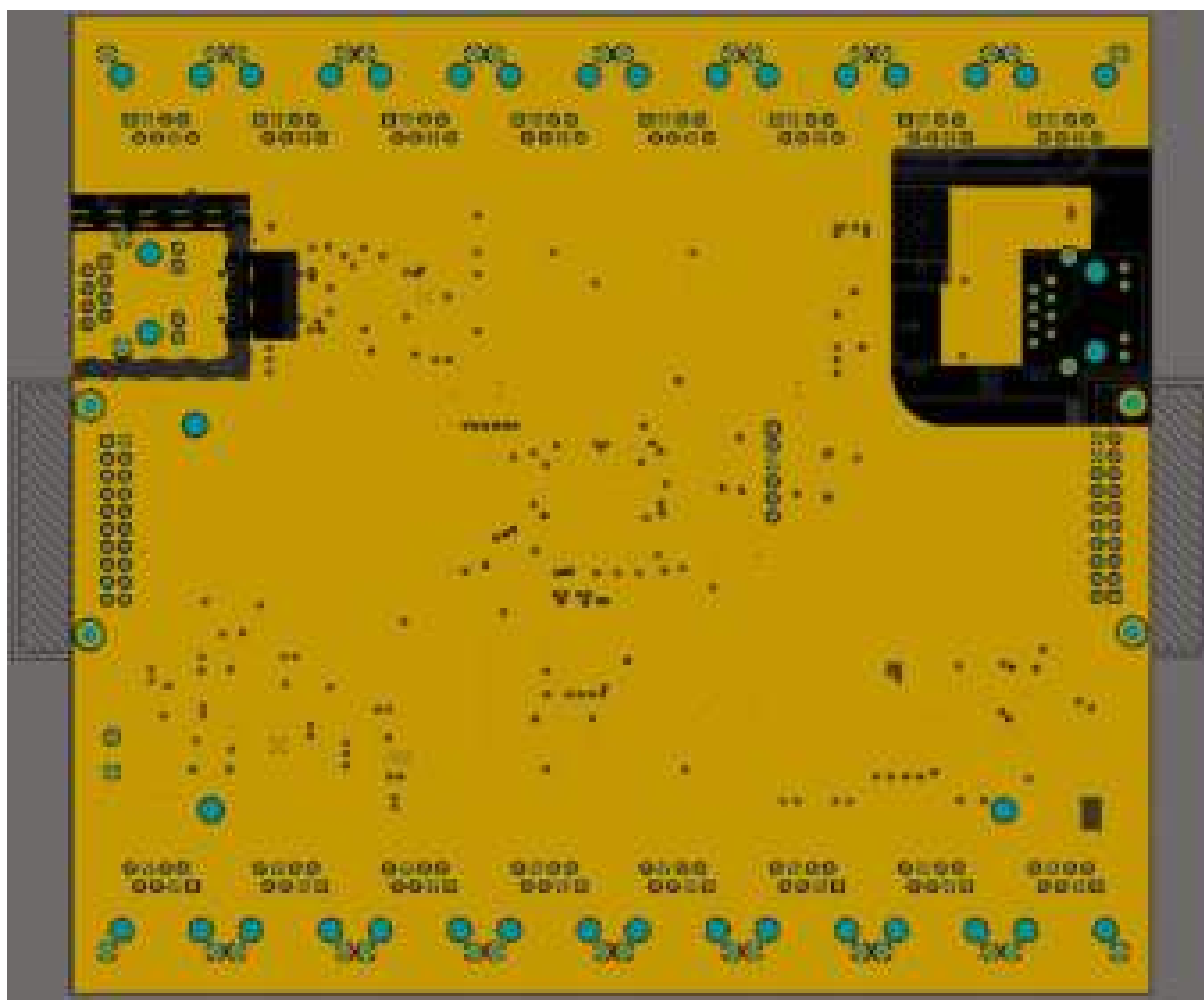
Fonte: Elaborado pela autora (2026).

A camada L4 acomoda os sinais que não puderam ser roteados na face inferior, permanecendo referenciada aos planos de terra das camadas L3 e L5.

Figura 32 – Camada L4 — roteamento de sinais.

Fonte: Elaborado pela autora (2026).

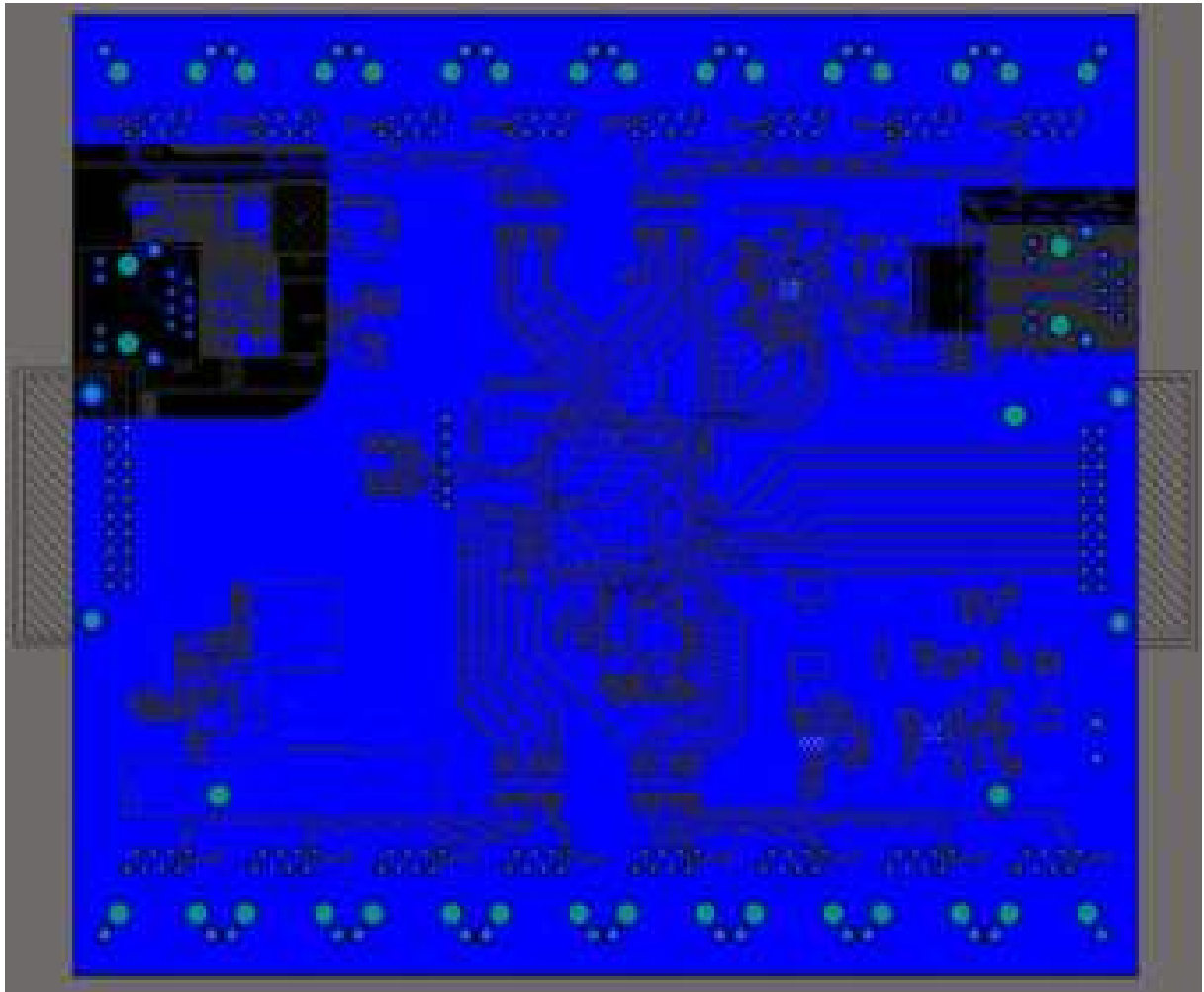
A camada L5 constitui o terceiro plano de terra e atua como referência dos pares diferenciais roteados na camada inferior, condição considerada no cálculo da impedância controlada apresentado na Seção 3.5.1.

Figura 33 – Camada L5 — plano de terra.

Fonte: Elaborado pela autora (2026).

A camada L6, situada na face inferior, concentra o posicionamento dos componentes e a maior parte do roteamento, incluindo os pares diferenciais das saídas PWM e da interface Ethernet.

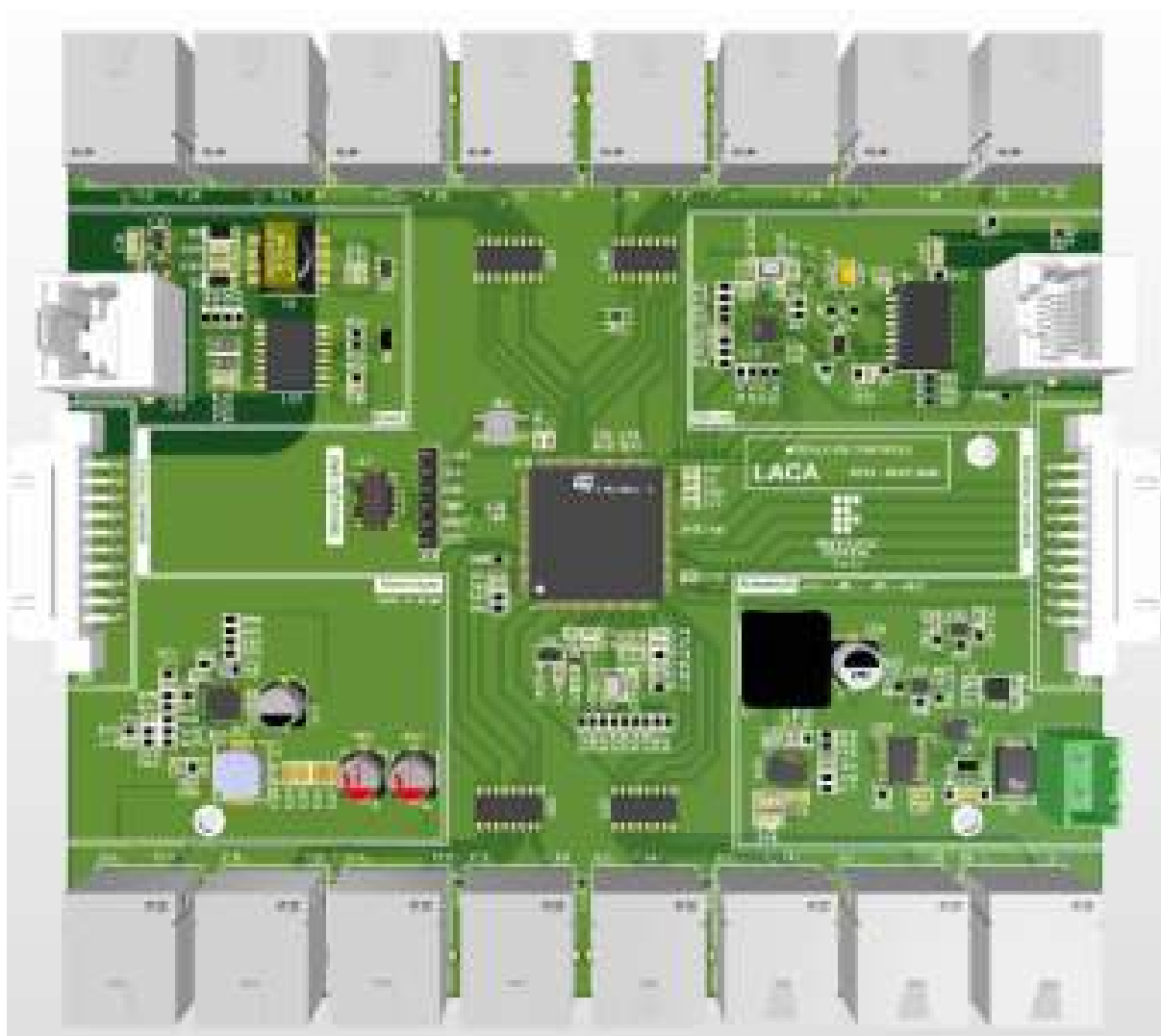
Figura 34 – Camada inferior (L6) — roteamento de sinais e posicionamento dos componentes.



Fonte: Elaborado pela autora (2026).

4.2 VISUALIZAÇÃO TRIDIMENSIONAL

O Altium Designer permite a visualização tridimensional da placa a partir dos modelos associados aos encapsulamentos dos componentes, recurso que aproxima a representação do projeto de sua forma física final e possibilita verificações não evidentes no *layout* bidimensional, como o posicionamento, a orientação e a altura dos componentes, além de eventuais interferências mecânicas entre encapsulamentos vizinhos. A Figura 35 apresenta a placa de controle.

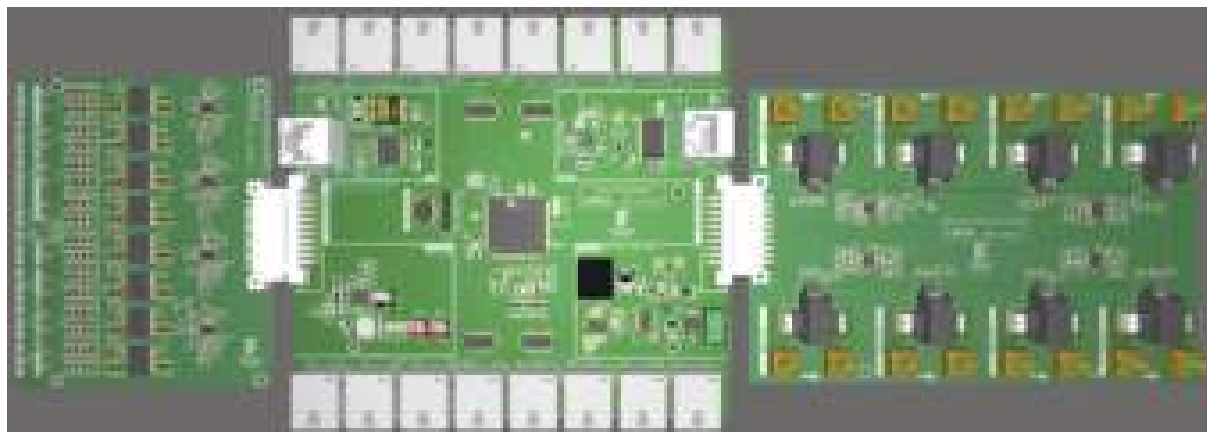
Figura 35 – Visualização tridimensional da placa de controle.

Fonte: Elaborado pela autora (2026).

4.3 INTEGRAÇÃO COM OS MÓDULOS DE SENSORIAMENTO

A placa de controle integra-se aos módulos de sensoriamento de tensão e de corrente por meio dos conectores J20 e J21. A Figura 36 apresenta o conjunto montado, obtido pelo recurso de projeto multiplaca (*multi-board*) do Altium Designer, que permite verificar o alinhamento dos conectores e a compatibilidade mecânica entre as placas previamente à fabricação.

Figura 36 – Conjunto formado pela placa de controle e pelos módulos de sensoriamento de tensão e de corrente.

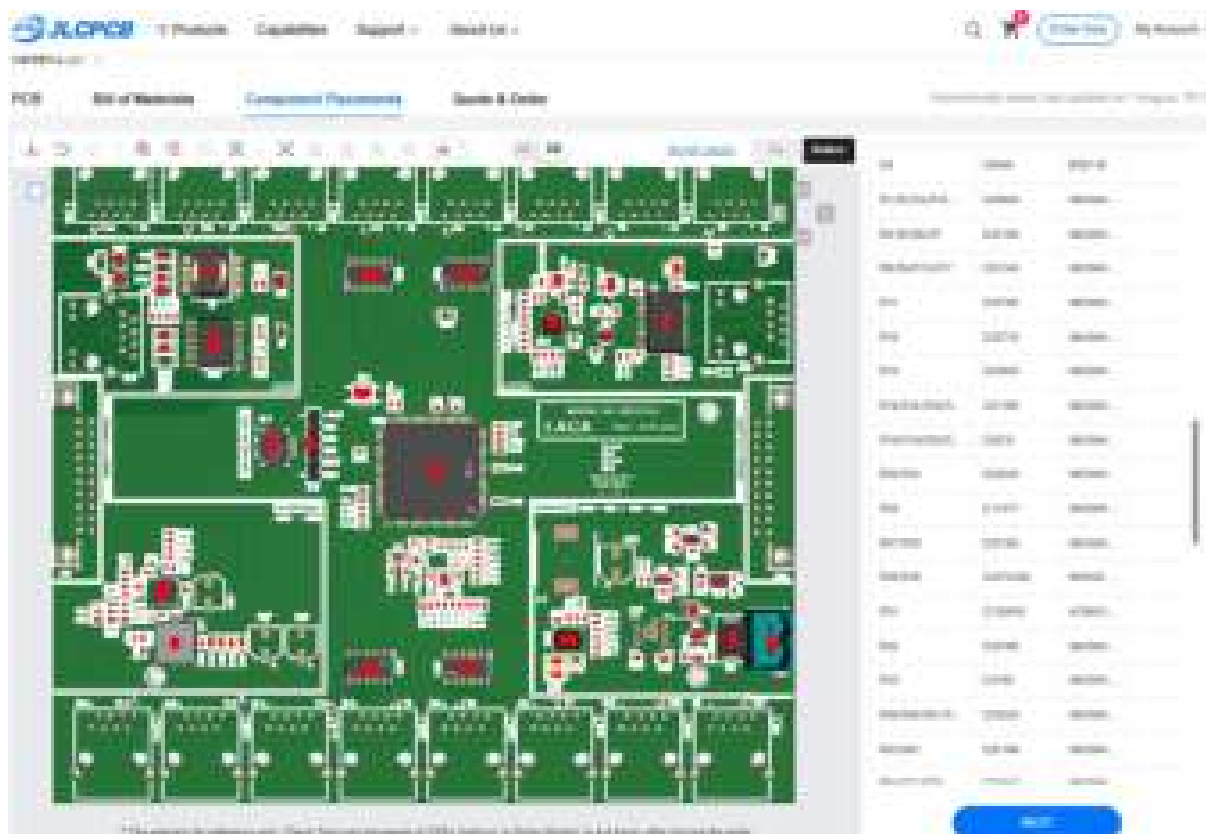


Fonte: Elaborado pela autora (2026).

4.4 VALIDAÇÃO DOS ARQUIVOS DE FABRICAÇÃO

Os arquivos de fabricação foram submetidos à plataforma da JLCPCB, que realiza a verificação automática dos arquivos *Gerber*, do *Bill of Materials* (BOM) e do arquivo de *Pick and Place*. A Figura 37 apresenta a etapa de verificação do posicionamento dos componentes na ferramenta do fabricante, na qual a placa é reconstruída a partir dos arquivos enviados.

Figura 37 – Visualização dos arquivos de fabricação na plataforma da JLCPCB.



Fonte: Elaborado pela autora (2026), a partir da plataforma da JLCPCB (JLCPCB, 2026d).

A visualização permite conferir a correspondência entre as camadas geradas e o projeto desenvolvido, bem como o posicionamento e a orientação de cada componente sobre a placa, enquanto o painel lateral relaciona os *designators* aos códigos do catálogo da LCSC, confirmando a vinculação de cada item ao estoque destinado à montagem.

Observa-se que parte dos componentes não é representada na visualização, sendo visíveis apenas os respectivos *pads* e marcações de serigrafia. Trata-se de itens classificados como *extended* no catálogo do fabricante, excluídos do serviço de montagem por implicarem custo adicional de preparação das máquinas. Como apresentam encapsulamentos de soldagem simples, optou-se por adquiri-los separadamente e realizar sua montagem manualmente, prática adotada nos projetos desenvolvidos no laboratório visando à redução do custo de fabricação. Os demais itens *extended*, cujos encapsulamentos não permitem soldagem manual, foram mantidos no serviço de montagem, e sua preparação corresponde à parcela indicada na Tabela 7.

A partir dessa vinculação, a plataforma apresenta o custo do processo ainda na fase de projeto. A Tabela 7 apresenta sua composição para a fabricação e a montagem de cinco unidades, conforme orçamento levantado em 01/08/2026.

Tabela 7 – Composição do custo de fabricação e montagem.

Item	Custo (US\$)
<i>Fabricação</i>	
Preparação do processo	33,00
Produção das placas	15,00
Verificação dos arquivos de produção	1,04
Subtotal	49,04
<i>Montagem</i>	
Preparação das máquinas	25,56
Confecção do estêncil	8,21
Aquisição dos componentes (82 itens)	286,87
Preparação dos componentes <i>extended</i>	125,46
Soldagem dos componentes	9,04
Embalagem	0,50
Subtotal	455,64
Total	504,68

Fonte: Elaborado pela autora (2026), a partir da plataforma da JLCPCB (JLCPCB, 2026d).

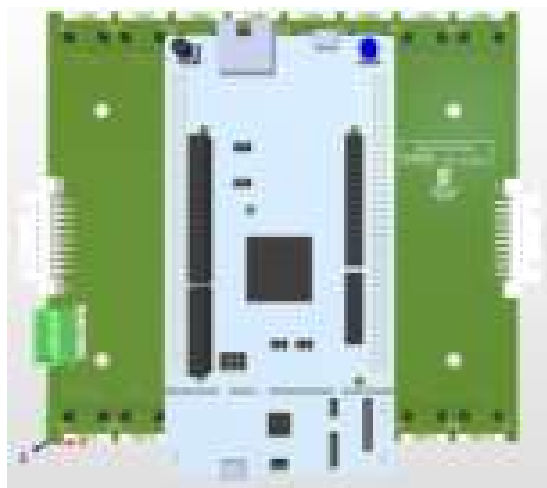
Os valores são apresentados em dólares, conforme fornecidos pela plataforma. À cotação comercial de R\$ 5,07 por dólar na data do levantamento, o total corresponde a aproximadamente R\$ 2.558,53, ou R\$ 511,71 por unidade.

Os arquivos foram aceitos sem necessidade de correções, o que confirma a conformidade do projeto com as capacidades do processo de fabricação adotado.

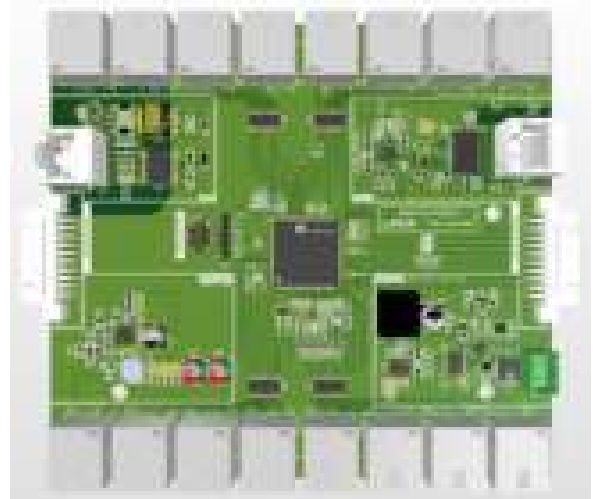
4.5 COMPARATIVO COM A SOLUÇÃO EXISTENTE

A placa desenvolvida substitui a solução de controle atual da bancada, descrita na Seção 1.1, incorporando em um único circuito impresso a regulação de tensão, os dispositivos de proteção e as interfaces de comunicação antes ausentes. A Figura 38 e a Tabela 8 comparam as duas soluções quanto às características de projeto.

Figura 38 – Visualização tridimensional das placas



(a) Solução existente, desenvolvida em projeto anterior



(b) Placa desenvolvida neste trabalho

Fonte: Elaborado pela autora a partir dos arquivos de projeto de ambas as placas.

Ainda que as duas placas tenham as mesmas dimensões, a placa desenvolvida acomoda os três estágios de conversão de tensão, os dispositivos de proteção dos barramentos, os circuitos de comunicação Ethernet e RS485, funções antes atribuídas a circuitos externos. Na solução existente, o STM32F429ZI ocupa o módulo NUCLEO-F429ZI acoplado à placa base, ao passo que na placa desenvolvida o STM32H745ZI é montado diretamente sobre a PCB, o que elimina os conectores de interligação.

Tabela 8 – Comparativo entre a solução existente e a placa desenvolvida

Característica	Solução existente	Placa desenvolvida
Microcontrolador	STM32F429ZI	STM32H745ZI
Arquitetura	Cortex-M4, 180 MHz	Cortex-M7 480 MHz e Cortex-M4 240 MHz
Montagem	Módulo Nucleo acoplado	Embarcado na PCB
Alimentação	+15 V e +5 V	+24 V
Regulação embarcada	5/3,3 V	24/15 V, 24/5 V e 5/3,3 V
Proteção de entrada	Ausente	<i>eFuse</i> (UVLO, OVP e limite de corrente)
Proteção dos barramentos	Ausente	<i>eFuses</i> em +5 V e +3,3 V
Comunicação RS485	Não implementada	Implementada
Camadas	2	6

Fonte: Autoria própria (2026).

A arquitetura *dual-core* do STM32H745ZI permite separar as rotinas de controle das tarefas de comunicação e supervisão, atribuindo-as a núcleos distintos, o que não é possível no STM32F429ZI de núcleo único.

A alimentação a partir de uma única entrada de +24 V dispensa as duas fontes externas exigidas pela solução existente, uma vez que os barramentos de +15 V, +5 V e +3,3 V são obtidos na própria placa pelos conversores descritos na Seção 3.3.1.

A inclusão das interfaces Ethernet e RS485 isolado amplia as possibilidades de uso da bancada, ao permitir o monitoramento remoto e a troca de dados com outros equipamentos do laboratório.

5 CONCLUSÃO

Este trabalho teve como objetivo o desenvolvimento de uma placa de controle digital baseada no microcontrolador STM32H745ZI, destinada à bancada experimental de conversores eletrônicos de potência desenvolvida em conjunto com outros trabalhos de conclusão de curso. O escopo foi restrito ao *hardware* da placa, abrangendo desde o estudo dos circuitos de referência, entre os quais a placa NUCLEO-H745ZI-Q e as notas de aplicação dos fabricantes, a seleção dos componentes, a elaboração dos esquemáticos e a configuração dos pinos no STM32CubeMX, até o roteamento multicamada e a geração dos arquivos de fabricação.

Todo o processo foi conduzido no Altium Designer, observando-se as capacidades de fabricação da JLCPCB para placas de seis camadas. O Saturn PCB Toolkit foi utilizado como apoio nos cálculos relacionados à norma IPC-2221, que orientou os critérios de largura de trilhas, espaçamentos e isolamento elétrico. A placa resultante conta com conectores dedicados aos módulos de sensoramento de tensão e de corrente, dezesseis saídas PWM para acionamento dos *drivers* das chaves semicondutoras e interfaces Ethernet e RS485.

Os objetivos propostos foram atendidos, resultando em um projeto de *hardware* completo, cujos arquivos foram submetidos ao fabricante e aceitos sem necessidade de correções, o que confirma sua aptidão à fabricação. Uma vez que as saídas PWM não foram associadas a um arranjo específico de chaves, as definições adotadas permitem que a placa atenda às diferentes configurações de conversor que venham a ser estudadas na bancada.

Entre os principais desafios encontrados está a verificação das recomendações de projeto de cada circuito junto aos respectivos *datasheets*, bem como sua aplicação de forma compatível com as dimensões e a densidade da placa, adaptando-as às necessidades específicas do projeto. Somou-se a isso a aplicação das regras de isolamento em uma placa que reúne sinais de naturezas distintas, na qual circuitos digitais de alta frequência, entradas analógicas de baixo nível e barramentos de alimentação compartilham o mesmo substrato, exigindo o tratamento adequado dos planos de referência e a separação entre os domínios. Um terceiro desafio consistiu na substituição de componentes classificados como *extended* por equivalentes *basic*, condicionada simultaneamente à compatibilidade técnica e à disponibilidade no catálogo do fabricante.

Para trabalhos futuros, recomenda-se a fabricação e a montagem da placa, sua validação funcional em bancada e o desenvolvimento do *firmware* de controle. Eventuais ajustes no *layout* poderão ser realizados a partir dos resultados obtidos nos ensaios com os conversores de potência.

REFERÊNCIAS

ALTIUM. **Altium Designer documentation**. 2024. Disponível em: <https://www.altium.com/documentation>. Acesso em: 15 abr. 2026.

ARM LIMITED. **Cortex-M7 processor: technical reference manual**. 2023. Disponível em: <https://developer.arm.com/documentation/ddi0489/latest>. Acesso em: 12 maio 2026.

BOTTARO, E. *et al.* Microcontroller based closed control-loop of an Interleaved Synchronous Buck Converter exploiting Monolithic GaN technology. *In*: 2022 International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM). 2022. p. 342–347. DOI: 10.1109/SPEEDAM53979.2022.9842115.

BROOKS, Douglas. **Signal Integrity Issues and Printed Circuit Board Design**. Upper Saddle River: Prentice Hall, 2003.

HOROWITZ, Paul; HILL, Winfield. **The Art of Electronics**. 3. ed. New York: Cambridge University Press, 2015.

IEEE. **IEEE Std 802.3-2022: IEEE standard for Ethernet**. New York, 2022. Institute of Electrical and Electronics Engineers.

IPC. **IPC-2221B: generic standard on printed board design**. Bannockburn, 2012. Association Connecting Electronics Industries.

JLCPCB. **About us**. 2026. Disponível em: <https://jlcpcb.com/about-us>. Acesso em: 2 jun. 2026.

JLCPCB. **JLCPCB impedance calculator**. 2026. Disponível em: <https://jlcpcb.com/pcb-impedance-calculator>. Acesso em: 2 jun. 2026.

JLCPCB. **Multilayer PCB stackup and controlled impedance**. 2026. Disponível em: <https://jlcpcb.com/impedance>. Acesso em: 2 jun. 2026.

JLCPCB. **Order online: PCB & assembly quotation**. 2026. Disponível em: <https://cart.jlcpcb.com/quote>. Acesso em: 2 jun. 2026.

JLCPCB. **PCB manufacturing & assembly capabilities**. 2026. Disponível em: <https://jlcpcb.com/capabilities/pcb-capabilities>. Acesso em: 2 jun. 2026.

MICROCHIP TECHNOLOGY. **LAN8742A/LAN8742Ai: small footprint RMII 10/100 Ethernet transceiver with HP Auto-MDIX and flexPWR technology**. 2015. DS00001989A. Disponível em:

https://ww1.microchip.com/downloads/en/DeviceDoc/DS_LAN8742_00001989A.pdf. Acesso em: 12 maio 2026.

MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P. **Power Electronics: Converters, Applications, and Design**. 3. ed. Hoboken: John Wiley & Sons, 2003.

MUNDO DA ELÉTRICA. **PWM: o que é e para que serve?** 2024. Disponível em: <https://www.mundodaeletrica.com.br/pwm-o-que-e-para-que-serve/>. Acesso em: 18 abr. 2026.

RASHID, Muhammad H. **Power Electronics: Devices, Circuits, and Applications**. 4. ed. Harlow: Pearson Education, 2014.

SATURN PCB DESIGN. **Saturn PCB Toolkit**. 2023. Disponível em: <https://saturnpcb.com/saturn-pcb-toolkit/>. Acesso em: 15 abr. 2026.

SEMIKRON. **SEMIDRIVER SKHI 22 A/B: hybrid dual IGBT driver**. 2000. Disponível em: <https://www.farnell.com/datasheets/49915.pdf>. Acesso em: 3 jun. 2026.

STMICROELECTRONICS. **AN2867: guidelines for oscillator design on STM8AF/AL/S and STM32 MCUs/MPUs**. 2026. Rev. 24. Disponível em: https://www.st.com/resource/en/application_note/an2867-guidelines-for-oscillator-design-on-stm8afals-and-stm32-mcusmpus-stmicroelectronics.pdf. Acesso em: 5 maio 2026.

STMICROELECTRONICS. **AN4938: getting started with STM32H74xI/G and STM32H75xI/G MCU hardware development**. 2024. Rev. 7. Disponível em: https://www.st.com/resource/en/application_note/an4938-getting-started-with-stm32h74xig-and-stm32h75xig-mcu-hardware-development-stmicroelectronics.pdf. Acesso em: 5 maio 2026.

STMICROELECTRONICS. **AN5557: STM32H745/755 and STM32H747/757 lines dual-core architecture**. 2022. Disponível em: https://www.st.com/resource/en/application_note/an5557-stm32h745755-and-stm32h747757-lines-dualcore-architecture-stmicroelectronics.pdf. Acesso em: 22 abr. 2026.

STMICROELECTRONICS. **LD39200: 2 A high PSRR ultra low drop linear regulator with reverse current protection**. 2017. DocID025637 Rev. 2. Disponível em: <https://www.st.com/resource/en/datasheet/ld39200.pdf>. Acesso em: 8 maio 2026.

STMICROELECTRONICS. **MB1363-H745ZIQ-D01 schematics**. 2019. Rev. 1.0. Disponível em: https://www.st.com/resource/en/schematic_pack/mb1363-h745ziq-d01_schematic.pdf. Acesso em: 22 abr. 2026.

STMICROELECTRONICS. **RM0399: STM32H745/755 and STM32H747/757 advanced Arm-based 32-bit MCUs — reference manual**. 2020. Rev. 3. Disponível em: https://www.st.com/resource/en/reference_manual/dm00176879.pdf. Acesso em: 22 abr. 2026.

STMICROELECTRONICS. **STM32CubeIDE: integrated development environment for STM32**. 2024. Disponível em: <https://www.st.com/en/development-tools/stm32cubeide.html>. Acesso em: 15 maio 2026.

STMICROELECTRONICS. **STM32CubeMX: STM32Cube initialization code generator**. 2024. Disponível em: <https://www.st.com/en/development-tools/stm32cubemx.html>. Acesso em: 15 maio 2026.

STMICROELECTRONICS. **STM32F427xx STM32F429xx Datasheet: DS9405**. Rev. 10. 2023. Acesso em: 4 ago. 2026. Disponível em: <https://www.st.com/resource/en/datasheet/stm32f429zi.pdf>.

STMICROELECTRONICS. **STM32H745xI/G: dual-core Arm Cortex-M7 and Cortex-M4 MCU — datasheet**. 2020. DS12923. Disponível em: <https://www.st.com/resource/en/datasheet/stm32h745zi.pdf>. Acesso em: 22 abr. 2026.

STMICROELECTRONICS. **UM2408: STM32H7 Nucleo-144 boards (MB1363)**. 2019. Disponível em: https://www.st.com/resource/en/user_manual/um2408-stm32h7-nucleo144-boards-mb1363-stmicroelectronics.pdf. Acesso em: 22 abr. 2026.

TEXAS INSTRUMENTS. **ISO3082, ISO3088: isolated half-duplex RS-485 transceivers**. 2023. SLLS982D. Disponível em: <https://www.ti.com/lit/ds/symlink/iso3082.pdf>. Acesso em: 20 maio 2026.

TEXAS INSTRUMENTS. **LM76002/LM76003: 3.5-V to 60-V, 2.5-A/3.5-A synchronous step-down voltage regulator**. 2019. SNVSAK0A. Disponível em: <https://www.ti.com/lit/ds/symlink/lm76002.pdf>. Acesso em: 28 abr. 2026.

TEXAS INSTRUMENTS. **SN6501-Q1: transformer driver for isolated power supplies**. 2021. SLLSEF3C. Disponível em: <https://www.ti.com/lit/ds/symlink/sn6501-q1.pdf>. Acesso em: 20 maio 2026.

TEXAS INSTRUMENTS. **SN65LVDS391: quadruple low-voltage differential signaling driver**. 2016. Disponível em: <https://www.ti.com/lit/ds/symlink/sn65lvds391.pdf>. Acesso em: 10 maio 2026.

TEXAS INSTRUMENTS. **TPD2E009: 2-channel ESD protection array for high-speed data interfaces**. 2015. Disponível em: <https://www.ti.com/lit/ds/symlink/tpd2e009.pdf>. Acesso em: 10 maio 2026.

TEXAS INSTRUMENTS. **TPS25200: 2.5-V to 6.5-V, 2-A eFuse with adjustable current limit**. 2025. SLVSCJ0F. Disponível em: <https://www.ti.com/lit/ds/symlink/tps25200.pdf>. Acesso em: 28 abr. 2026.

TEXAS INSTRUMENTS. **TPS2663x: 60-V, 6-A power limiting, surge protection industrial eFuse**. 2024. SLVSE94G. Disponível em: <https://www.ti.com/lit/ds/symlink/tps2663.pdf>. Acesso em: 28 abr. 2026.

TEXAS INSTRUMENTS. **TPS763xx: low-power 150-mA low-dropout linear regulators**. 2025. SLVS522, Rev. H. Disponível em: <https://www.ti.com/lit/ds/symlink/tps763.pdf>. Acesso em: 20 maio 2026.

TIA. **TIA/EIA-485-A: electrical characteristics of generators and receivers for use in balanced digital multipoint systems**. Arlington, 1998. Telecommunications Industry Association.

VISHAY INTERTECHNOLOGY. **PowerCAD 2.0 simulation tool**. 2026. Ferramenta online de projeto e simulação para conversores microBUCK. Disponível em: <https://vishay.transim.com/landing>. Acesso em: 28 maio 2026.

VISHAY SILICONIX. **SiC461, SiC462, SiC463, SiC464: 4.5 V to 60 V input, 2 A, 4 A, 6 A, 10 A microBUCK DC/DC converter**. 2025. Document number 65124, Rev. S. Disponível em: <https://www.vishay.com/docs/65124/sic46x.pdf>. Acesso em: 28 maio 2026.

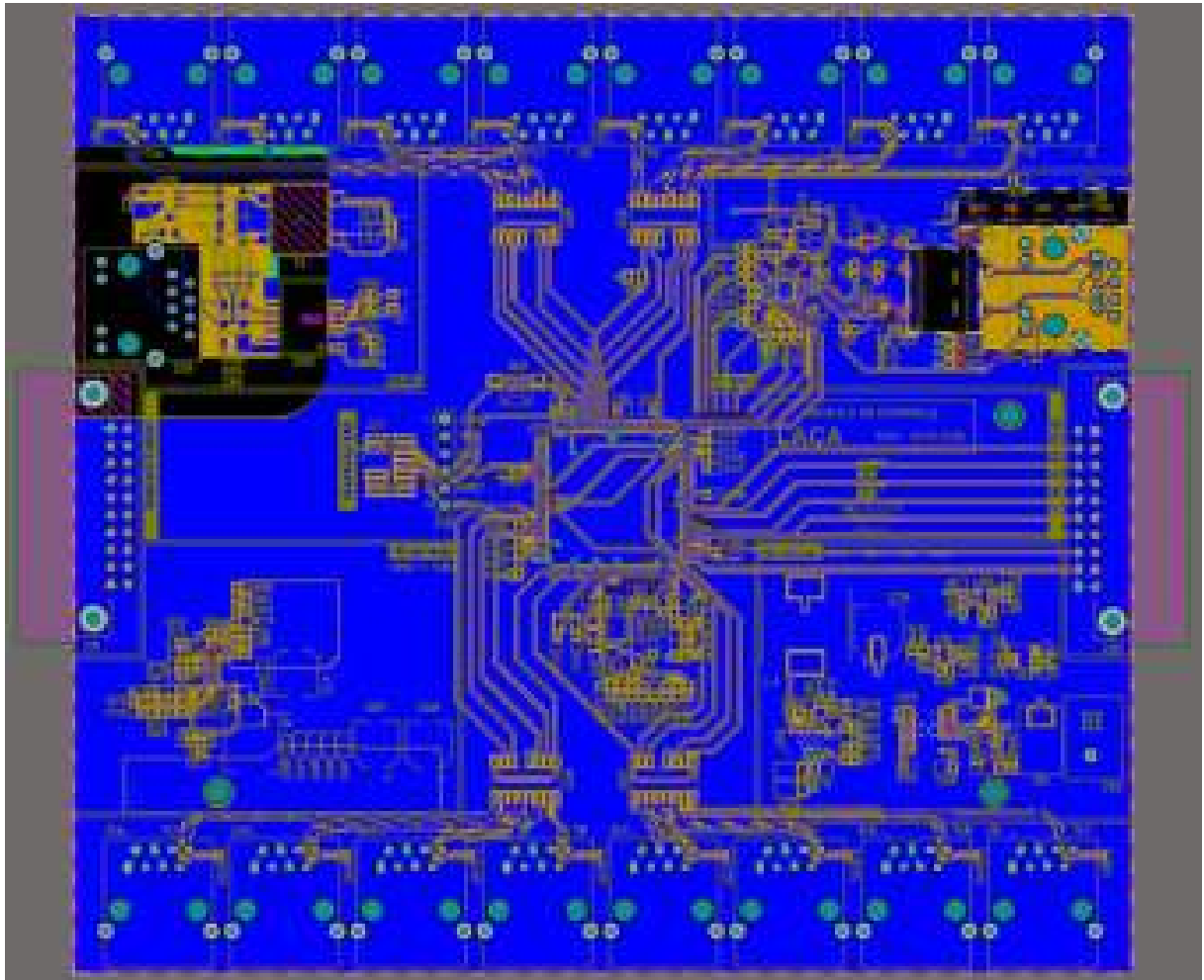
APÊNDICE A – LISTA DE MATERIAIS

Comment	Description	Designator	Quantity
CC0603KRX7R9BB104	CAP CER 100nF 50V X7R 0603, CAP CER 0.1UF 50V X7R 0603	C1, C2, C8, C10, C11, C12, C13, C15, C17, C18, C21, C23, C24, C26, C33, C35, C37, C39, C44, C45, C46, C47, C48, C49, C51, C52, C58, C59, C60, C69, C83	31
CL10A106MA8NRNC	CAP CER 10UF 25V X5R 0603	C3, C4, C6, C7, C9, C32	6
CL10B221KB8NNNC	CAP CER 220pF 50V X7R 0603	C5	1
HBV270M1VTR-0606S	CAP ALUM HYBRID 27UF 20% 35V SMD	C14	1
0603B103K500NT	CAP CER 10nF 50V X7R 0603	C16	1
CL10C180JB8NNNC	CAP CER 18pF 50V C0G 0603	C19, C28, C41, C42, C54, C55	6
0603B471K500NT	CAP CER 470pF 50V X7R 0603	C20	1
CL10A105KB8NNNC	CAP CER 1uF 50V X5R 0603	C22, C36, C38, C71, C80, C82	6
TAJA106K016RNJ	CAP TANT 10UF 10% 16V 1206	C25	1
1206B102K202NT	CAP CER 1nF 2KV X7R 1206	C27	1
C3216NP01H104J160AA	Ceramic Capacitor, Multilayer, Ceramic, 50V, 5% +Tol, 5% -Tol, C0G, 30ppm/Cel TC, 0.1uF, Surface Mount, 1206	C29, C34	2
CL31B475KOHNNNE	Ceramic Capacitor, Multilayer, Ceramic, 16V, 10% +Tol, 10% -Tol, X7R, 15% TC, 4.7uF, Surface Mount, 1206	C30	1
CL31A106MBHNNNE	Ceramic Capacitor, Multilayer, Ceramic, 50V, 20% +Tol, 20% -Tol, X5R, 15% TC, 10uF, Surface Mount, 1206	C31	1
CL10A225K08NNNC	CAP CER 2.2UF 16V X5R 0603	C40, C43, C81	3
CL10A475K08NNNC	CAP CER 4.7UF 16V X5R 0603	C50, C72	2
CC0805KRX7R9BB104	CAP CER 0.1UF 50V X7R 0805	C53, C68	2
0603B222K500NT	CAP CER 2.2nF 50V X7R 0603	C56	1
875105544001	CAP ALUM POLY 10UF 20% 25V SMD	C57, C63	2
CL10A226MQ8NRNC	CAP CER 22UF 6.3V X5R 0603	C61, C62	2
CL21A226MAQNNNE	CAP CER 22UF 25V X5R 0805	C64, C65, C66, C67	4
CL10B102KB8NNNC	CAP CER 1nF 50V X7R 0603	C70	1
CL10B333KB8NNNC	CAP CER 0.033UF 50V X7R 0603	C73	1
1206B475K500NT	CAP CER 4.7uF 50V X7R 1206	C74, C75	2
CL21B474KBFNNNE	CAP CER 0.47UF 50V X7R 0805	C76	1
C0603X439D4HACTU	CAP CER 4.3pF 16V X8R 0603	C77	1
RVT1E680M0605	CAP ALUM 68uF ±20% 25V SMD	C78	1
CL10B474KA8NNNC	CAP CER 470nF 25V X7R 0603	C79	1
MBR0520L-TP	DIODE SCHOTTKY 20V 0.5A SOD-123	D1, D2	2
SMCJ36CA	TVS DIODE 36VWM 58.1VC DO214AB	D3	1
1-1734264-1	Telecom and Datacom Connector, RJ45	J1, J2, J3, J4, J5, J6, J7, J8, J9, J10, J11, J12, J13, J14, J15, J16	16
FTSH-107-01-L-DV-K-A	CONN HEADER SMD 14POS 1.27MM	J17	1
61300611121	CONN HEADER VERT 6POS 2.54MM	J18	1
SS-74301-001	CONN MOD JACK 8P8C VERT SHIELDED	J19, J50	2
294927-E	DIN Q3 20POS F SLDR RA CL2	J20, J21	2
1755736	TERM BLOCK HDR 2POS 5.08MM	J22	1
GZ1608D601TF	FERRITE BEAD 600 OHM 0603 1LN	L1	1
DFE201210U-2R2M=P2	FIXED IND 2.2uH 1.2A 228mΩ 0805	L2	1
ZD0850-6R8M	FIXED IND 6.8uH 8A 22mΩ SMD,8.8x8.2mm	L3	1
APS1350M8R2H	FIXED IND 8.2uH 9.5A 22.5mΩ SMD,14x12.6mm	L4	1
BC846A	TRANS, NPN, 0.1A I(C), 65V V(BR)CEO, SOT-23, BC846A	Q1	1

Comment	Description	Designator	Quantity
CSD19537Q3	MOSFET N-CH 100V 9.7A/50A 8VSON	Q2	1
BSS138	MOSFET N-CH 50V 220MA SOT23-3	Q3	1
0603WAF1002T5E	RES 10k OHM 1% 1/10W 0603	R1, R2, R3, R10, R15, R23, R26, R45, R46, R47, R68	11
0603WAF499JT5E	RES 49.9 OHM 1% 1/10W 0603	R4, R5, R6, R7	4
0603WAF330JT5E	RES 33 OHM 1% 1/10W 0603	R8, R9, R13, R17	4
0603WAF1202T5E	RES 12K OHM 1% 1/10W 0603	R11	1
0603WAF1000T5E	RES 100 OHM 1% 1/10W 0603	R12	1
0603WAF1501T5E	RES 1.5k OHM 1% 1/10W 0603	R14	1
0603WAF0000T5E	RES 0 OHM 1% 1/10W 0603	R16, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R48	13
0603WAF750JT5E	RES 75 OHM 1% 1/10W 0603	R18, R19, R20, R21	4
0603WAF3000T5E	RES 300 OHM 1% 1/10W 0603	R22, R24	2
0805W8F0000T5E	RES 0 OHM 1% 1/8W 0805	R25	1
0603WAF4701T5E	RES 4.7K OHM 1/10W 75V 1% 0603	R27, R30	2
MMA02040C1009FB300	RES MELF, 10 ohm, 1/4W, 200V, 1% +/-Tol, Surface Mount, 1406	R28, R29	2
AC0603FR-07120RL	RES, 120 ohm, 1/10W, 1%, 0603	R31	1
0603WAF1201T5E	RES 1.2KOHM 75V 1% TOL SMD 0603	R32	1
0603WAF2201T5E	RES 2.2K 1/10W 75V 1% 0603	R33	1
0603WAF3003T5E	RES 300k OHM 1% 1/10W 0603	R49, R50, R51, R52	4
0603WAF5102T5E	RES 51kΩ ±1% 100mW 0603	R53, R61	2
0603WAF7502T5E	RES 75K OHM 1% 1/10W 0603	R54, R71, R78	3
0805W8F4701T5E	RES 4.7K OHM 1% 1/8W 0805	R55	1
0603WAF1003T5E	RES 100K OHM 1% 1/10W 0603	R56, R62, R76	3
0603WAF220KT5E	RES 2.2Ω ±1% 100mW 0603	R57	1
0603WAF5103T5E	RES SMD 510K OHM 1/10W 1% TOL 0603	R58, R60	2
0603WAF5601T5E	RES 5.6KOHM 75V 1% TOL SMD 0603	R59	1
0603WAF2702T5E	RES 27k OHM 75V 1% 1/10W 0603	R63, R72	2
0603WAF1001T5E	RES 1K OHM 1% 1/10W 0603	R64, R70	2
0603WAF3302T5E	RES 33KOHM 75V 1% TOL SMD 0603	R65	1
0603WAF3001T5E	Res, 0603, 1%, 75V, 3k ohms.	R66	1
0603WAF1503T5E	RES 150K OHM 1% 1/10W 0603	R67, R69	2
0603WAF2003T5E	RES 200k OHM 1% 1/10W 0603	R73	1
0603WAF2001T5E	Fixed Resistor, Metal Glaze/thick Film, 0.1W, 2000ohm, 50V, 1% +/-Tol, 100ppm/Cel, Surface Mount, 0603	R74	1
0603WAF3601T5E	RES 3.6kΩ ±1% 100mW 0603	R75	1
0603WAF3002T5E	RES 30K OHM 1% 1/10W 0603	R77	1
0603WAF4992T5E	RES 49.9KOHM 1% 1/10W 0603	R79, R80	2
TSC015A04818B	Tactile Switch 180gf 4.8mm 4.5mm x 4.5mm SMD	SW1	1
H1102NLT	XFRMR MAGNETIC 1PORT 1:1 10/100	T1	1
DA2304-ALD	Power Transformer, 1:2.2	T2	1
MCF0806YGF2-900T01 H	CMC 4.5 OHM 2 900HM@100MHz SMD	T3, T4, T5, T6, T7, T8, T9, T10, T11, T12, T13, T14, T15, T16, T17, T18	16
TPD2E009DRTR	Dual 0.7-pF, 5.5-V, ±8-kV ESD protection diode with 5-A surge rating 3-SOT-9X3 -40 to 85	U1, U2, U3, U4, U5, U6, U7, U8, U9, U10, U11, U12, U13, U14, U15, U16	16
USBLC6-4SC6	TVS DIODE 5.25VWM 17VC SOT23-6	U17	1
LD39200PU33R	IC REG LINEAR 3.3V 2A 6-DFN	U18	1
LAN8742A-CZ-TR	IC TRANSCEIVER 1/1 24SQFN	U19	1
TPS76350DBV	150-mA, 10-V, low-dropout voltage regulator with enable 5-SOT-23 -40 to 125	U20	1

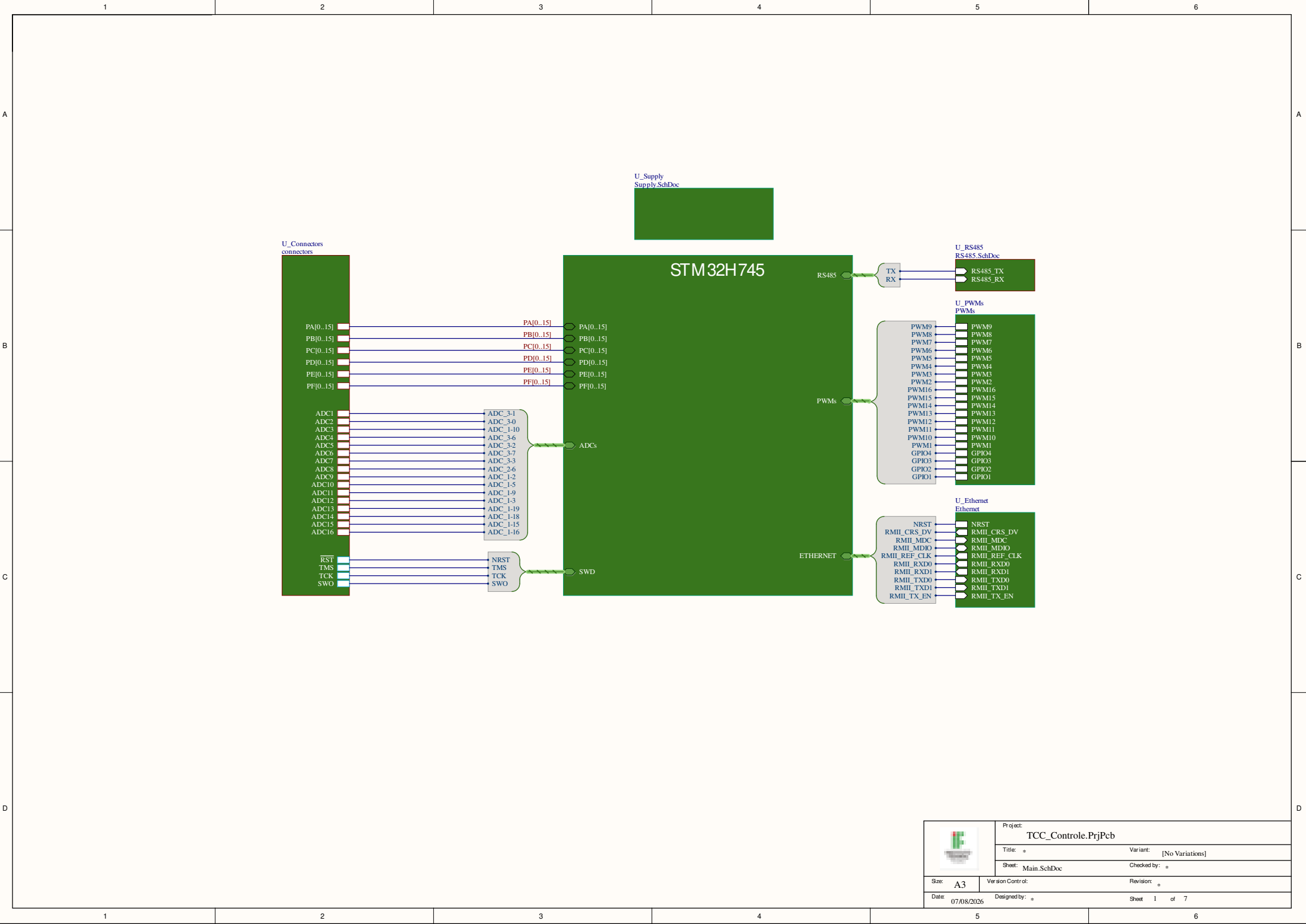
Comment	Description	Designator	Quantity
SN6501QDBVRQ1	Interface Circuit, PDSO5	U21	1
TPS26633PWPT	IC ELECTRONIC FUSE 2% 20HTSSOP	U22	1
ISO3082DWR	IC TRANSCEIVER HALF 2/2 16SOIC	U23	1
SM712.TCT	TVS DIODE 26V 12VRWM SOT-23-3	U24	1
STM32H745ZIT6	IC MCU 32BIT 2MB FLASH 144LQFP	U25	1
SN65LVDS391DR	Line Driver, 4 Func, 4 Driver, CMOS, IC TRANSCEIVER 4/0 16SOIC	U26, U27, U28, U29	4
TPS25200DRVR	Electronic Fuse Regulator 2.5A 6- WSON (2x2)	U30, U31	2
SIC462ED-T1-GE3	IC REG BCK ADJ POWERPAK MLP55- 27	U32	1
LM76002RNPR	3.5V to 60V, 2.5A Synchronous Step- Down Voltage Regulator	U33	1
X322525MOB4SI	CRYSTAL 25MHz 12pF SMD	X1, X3	2
Q13FC13500004	Crystal, FC-135, 32.768 Khz, 12.5 Pf	X2	1

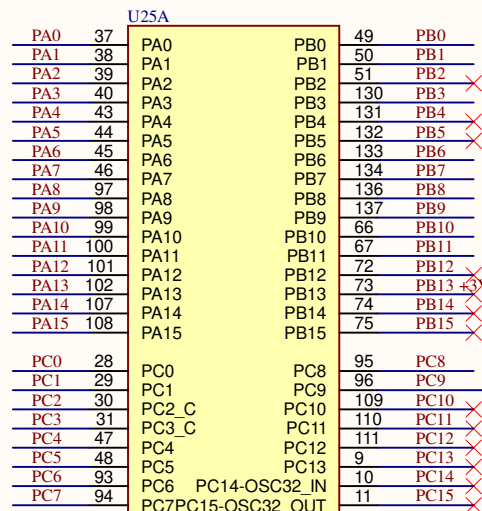
APÊNDICE B – LAYOUT DA PLACA



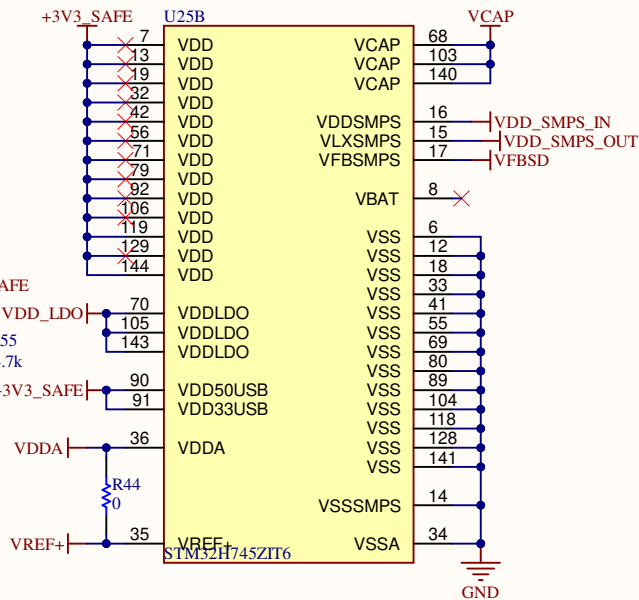
Fonte: Elaborado pela autora (2026).

APÊNDICE C – ESQUEMÁTICOS COMPLETOS

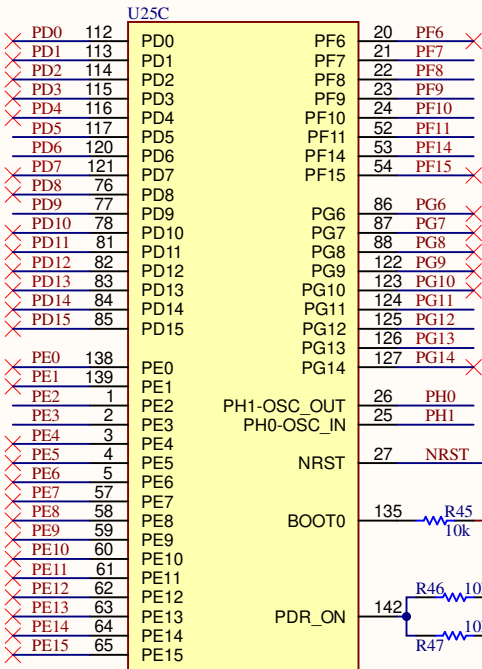




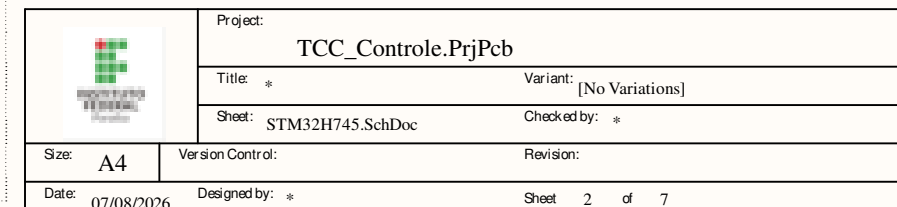
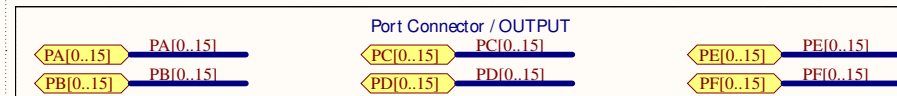
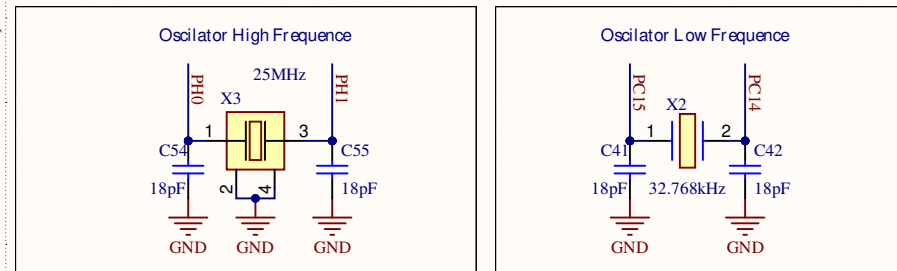
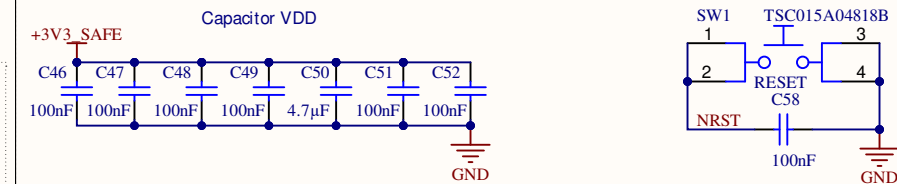
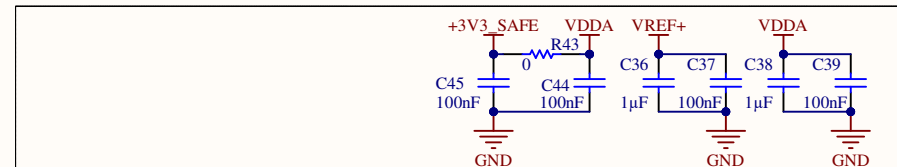
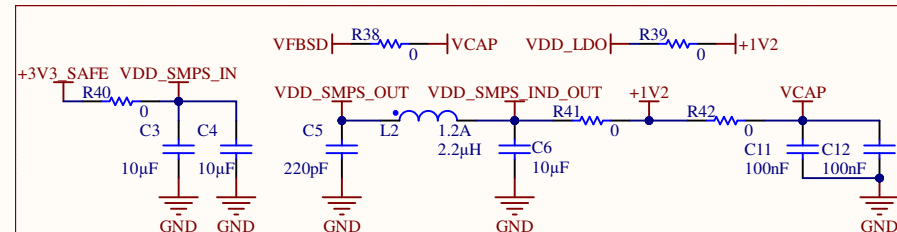
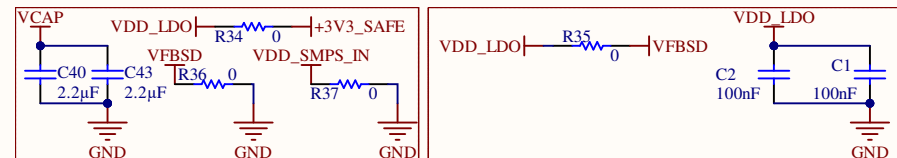
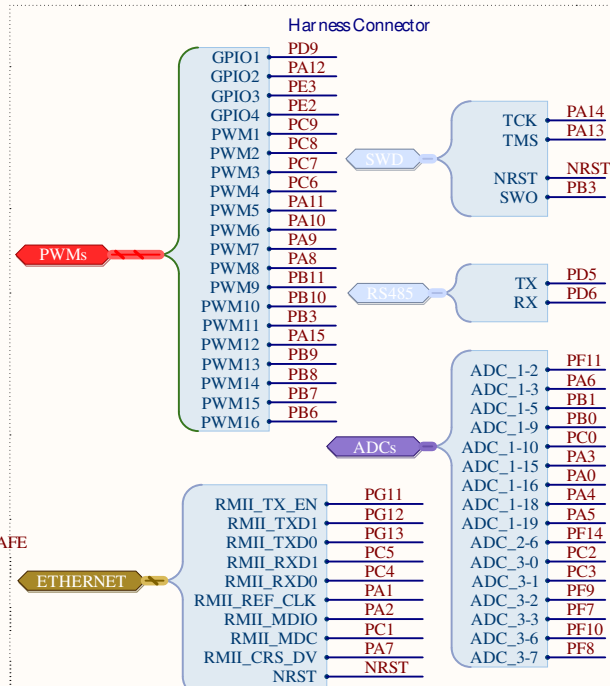
STM32H745ZIT6

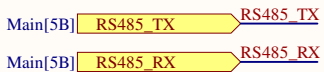


STM32H745ZIT6

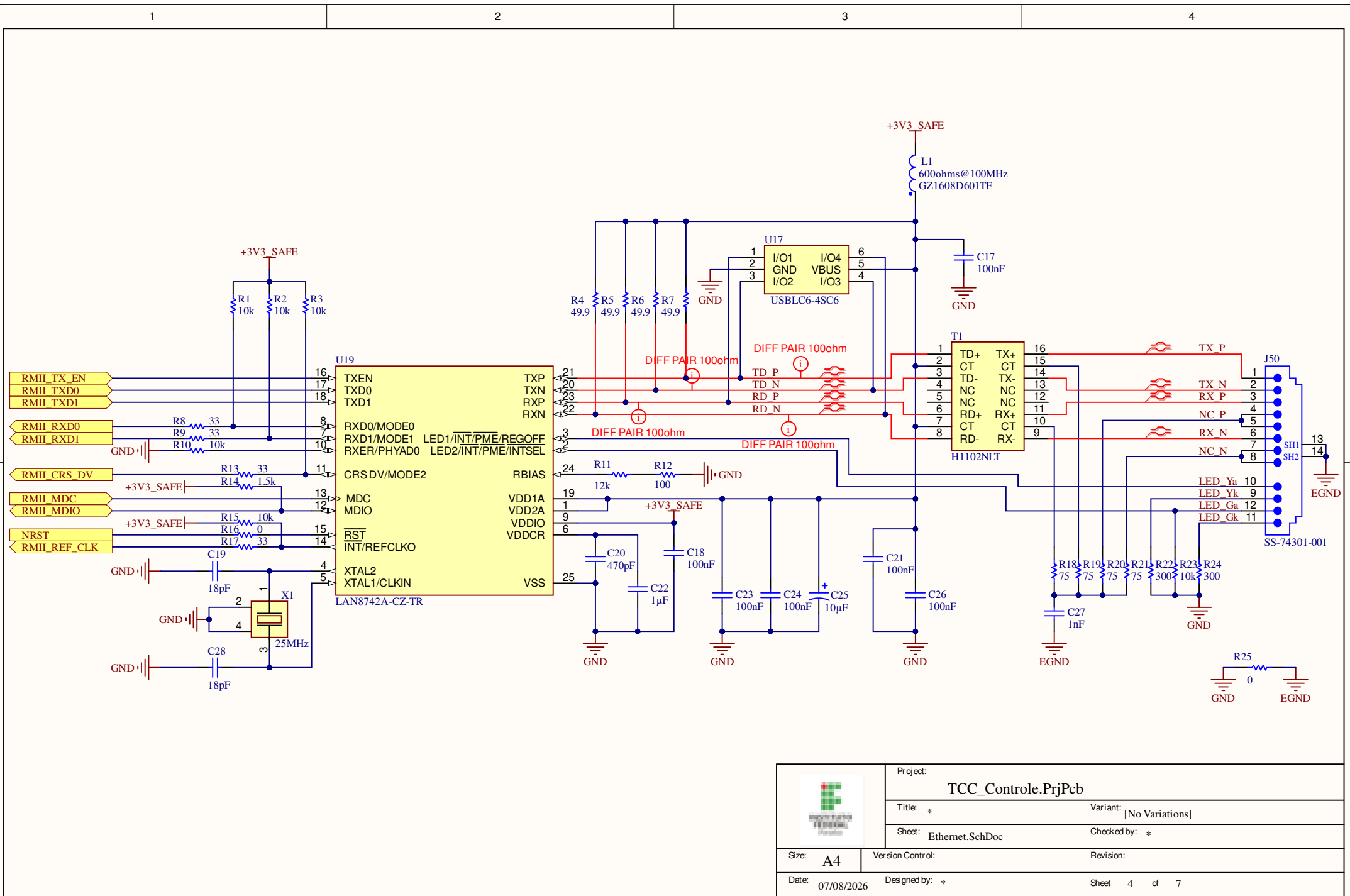


STM32H745ZIT6



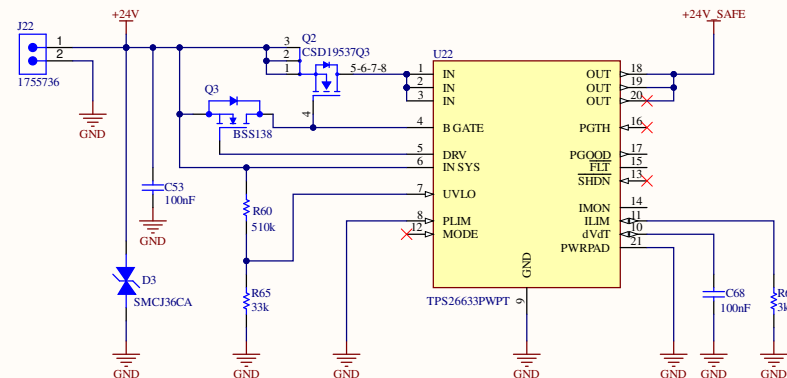


	Project:		TCC_Control.PrcPcb	
	Title: *	Variant: [No Variations]		
	Sheet: RS485.SchDoc	Checked by: *		
Size: A4	Version Control:		Revision:	
Date: 07/08/2026	Designed by: *		Sheet 3 of 7	



	Project: TCC_Control.PrfPcb	
	Title: *	Variant: [No Variations]
	Sheet: Ethernet.SchDoc	Checked by: *
Size: A4	Version Control: Revision:	
Date: 07/08/2026	Designed by: *	Sheet 4 of 7

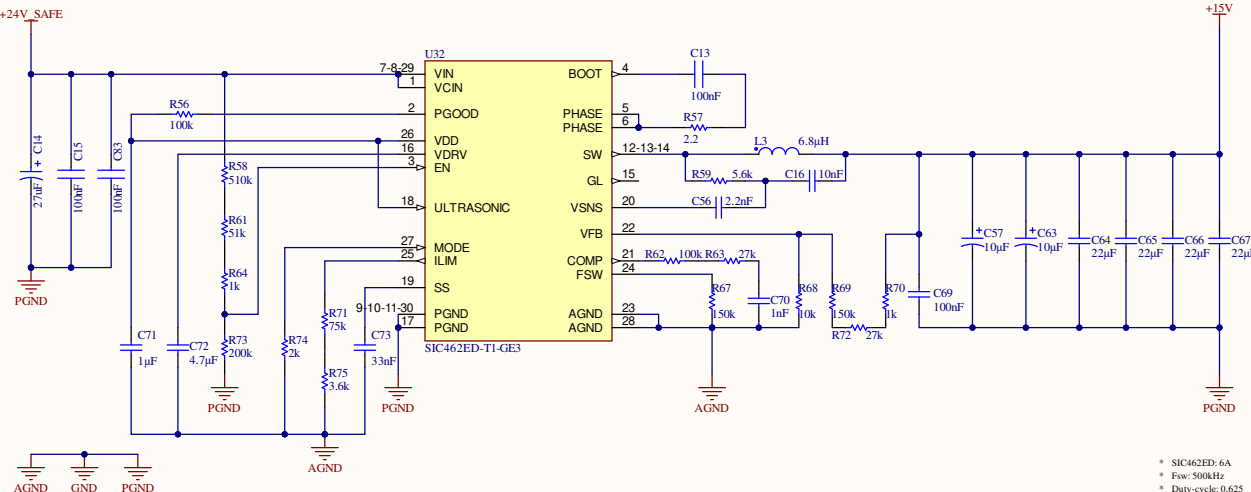
PROTECTION 24V



* UndervoltageLockout and OvervoltageSet Point
 $V_{uv} = 19.75V$
 $V_{ov} = 34.2V$ - (default)
 Ver Equ. (9-10) do datasheet TPS26633

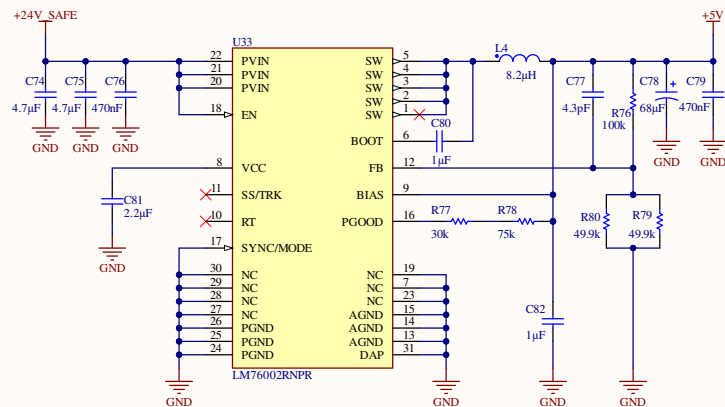
* Current Limit - R66 Selection
 $I_{lim} = 6A$
 Ver Equ. (8) do datasheet TPS26633

VOLTAGE REGULATOR 24V TO 15V



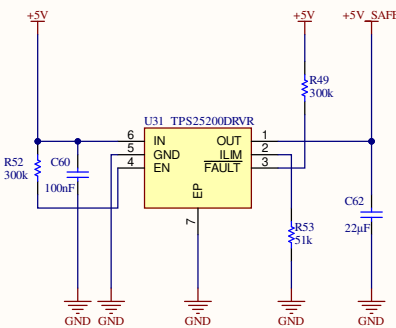
* SIC462ED: 6A
 * Fw: 500kHz
 * Duty-cycle: 0.625

VOLTAGE REGULATOR 24V TO 5V



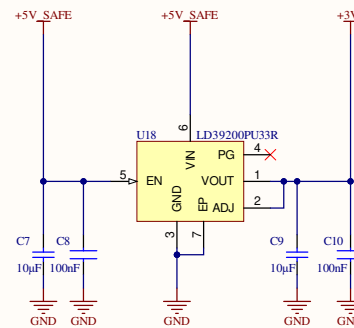
* LM76003: 2.5A
 * Fw: 500kHz
 * Duty-cycle: 0.2087

PROTECTION 5V

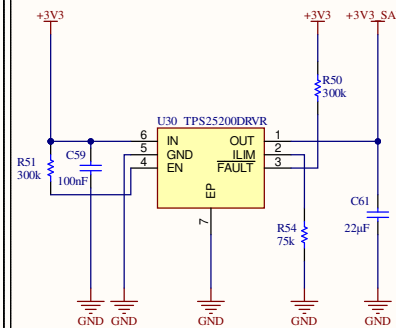


Faixa de Operação: 2.5V - 6.5V
 V_{in} máx: 20V
 $V_{in} > 7.6V$, o dispositivo desconecta a carga

VOLTAGE REGULATOR 5V TO 3V3

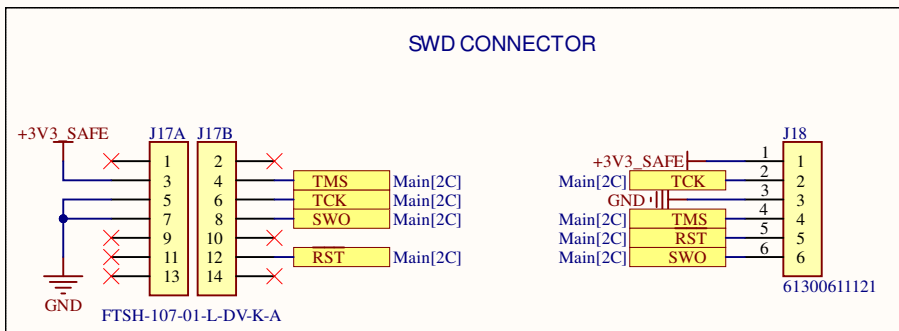
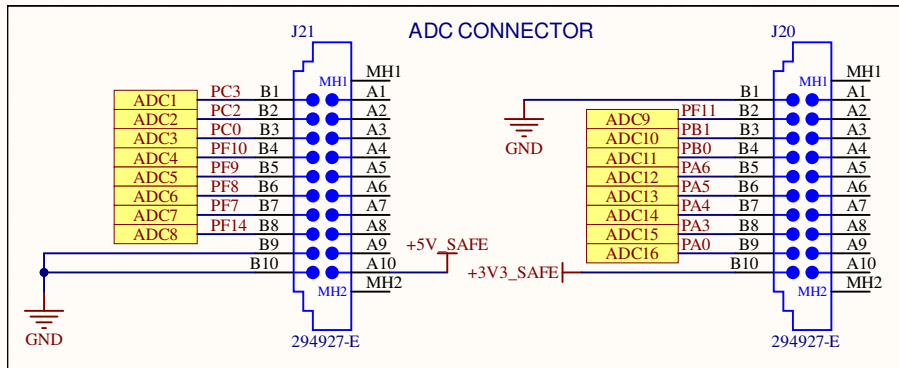


PROTECTION 3V3



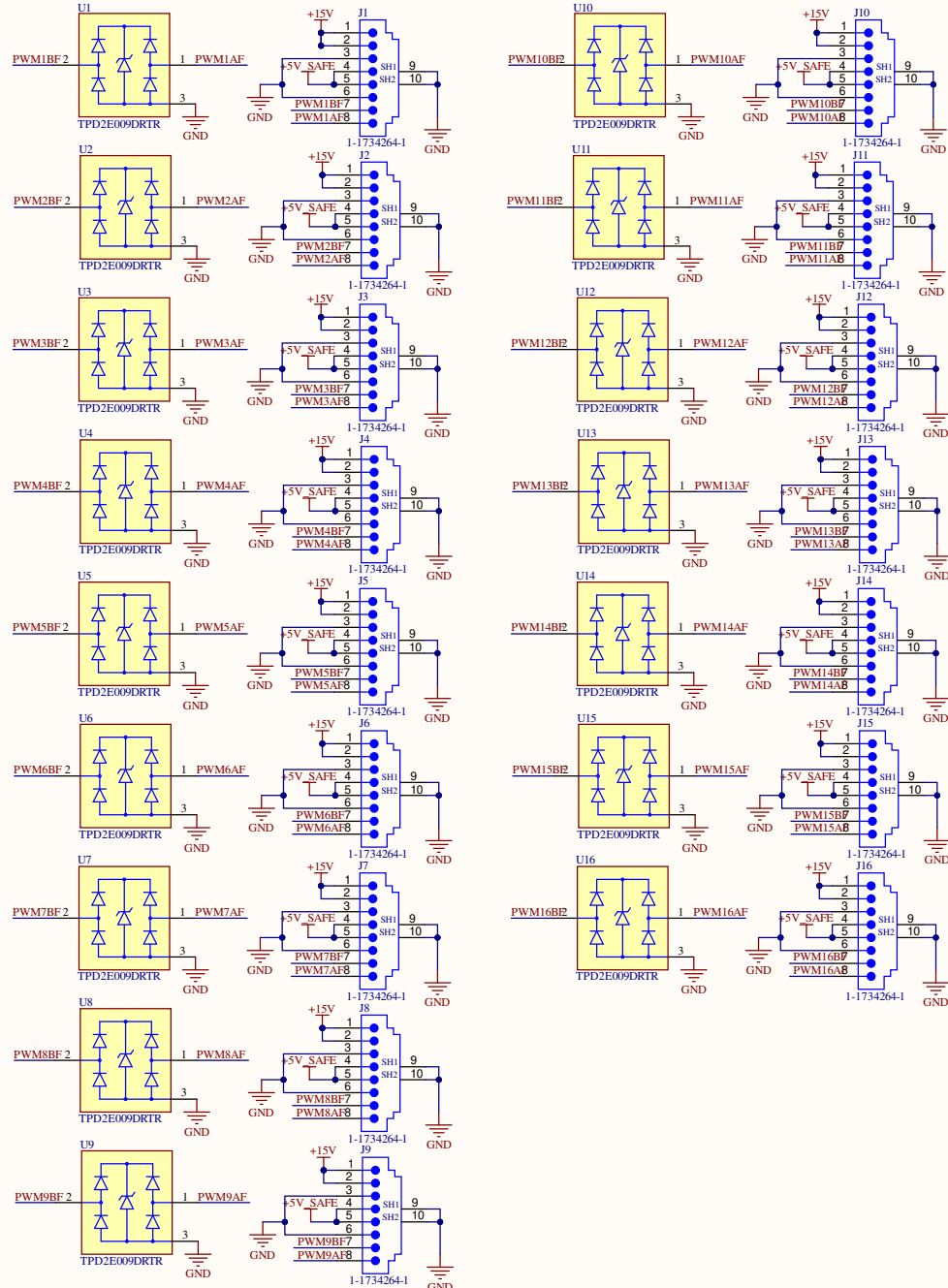
Faixa de Operação: 2.5V - 6.5V
 V_{in} máx: 20V
 $V_{in} > 7.6V$, o dispositivo desconecta a carga

	Project: TCC_Control.PrjPcb		
	Title: *	Variant: [No Variations]	
	Sheet: Supply.SchDoc	Checked by: *	
	Size: A3	Version Control:	Revision: *
Date: 07/08/2026	Designed by: *	Sheet 5 of 7	

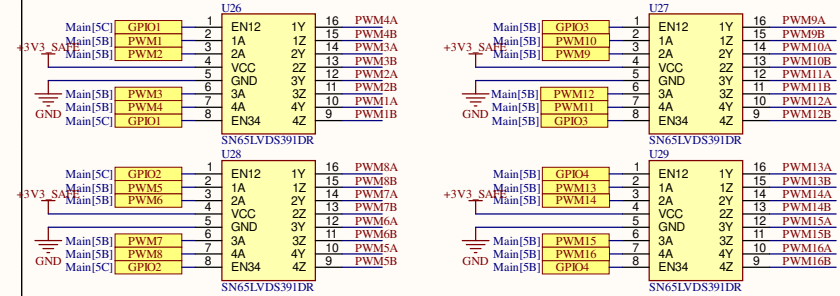


Title		
Size	Number	Revision
A4		
Date:	8/07/2026	Sheet of
File:	C:\Users\...\Connectors.SchDoc	Drawn By:

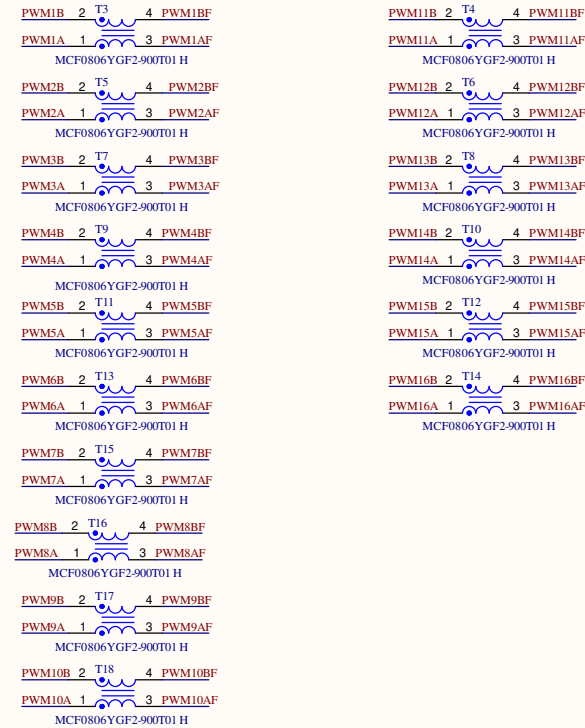
PWMs



Expander IO



Common Mode Chokes



		Project: TCC_Control.PrbPcb	
		Title: _____	Variant: [No Variations]
		Sheet: PWMs.SchDoc	Checked by: _____
		Size: A3	Version Control: 351355uc
Date: 07/08/2026	Designed by: _____	Sheet: 7 of 7	

INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DA PARAÍBA

Campus João Pessoa - Código INEP: 25096850

Av. Primeiro de Maio, 720, Jaguaribe, CEP 58015-435, João Pessoa (PB)

CNPJ: 10.783.898/0002-56 - Telefone: (83) 3612.1200

Documento Digitalizado Ostensivo (Público)

Trabalho de Conclusão de Curso - Corrigido (Já com Ficha Catalográfica e Folha de Aprovação)

Assunto:	Trabalho de Conclusão de Curso - Corrigido (Já com Ficha Catalográfica e Folha de Aprovação)
Assinado por:	Mykaella Freitas
Tipo do Documento:	Anexo
Situação:	Finalizado
Nível de Acesso:	Ostensivo (Público)
Tipo do Conferência:	Cópia Simples

Documento assinado eletronicamente por:

- Mykaella Fernanda Chaves Chianca, DISCENTE (20211610030) DE BACHARELADO EM ENGENHARIA ELÉTRICA - JOÃO PESSOA, em 10/08/2026 17:27:01.

Este documento foi armazenado no SUAP em 10/08/2026. Para comprovar sua integridade, faça a leitura do QRCode ao lado ou acesse <https://suap.ifpb.edu.br/verificar-documento-externo/> e forneça os dados abaixo:

Código Verificador: 1944180
Código de Autenticação: 61ce6f04a3

